

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 59023971 A

(43) Date of publication of application: 07.02.84

(51) Int. Cl. H04N 5/06
H04N 5/48

(21) Application number: 57132274

(22) Date of filing: 30.07.82

(71) Applicant: TOSHIBA CORP

(72) Inventor: KUDO YUKINORI
SUZUKI SUSUMU

(54) DIGITAL TELEVISION RECEIVER

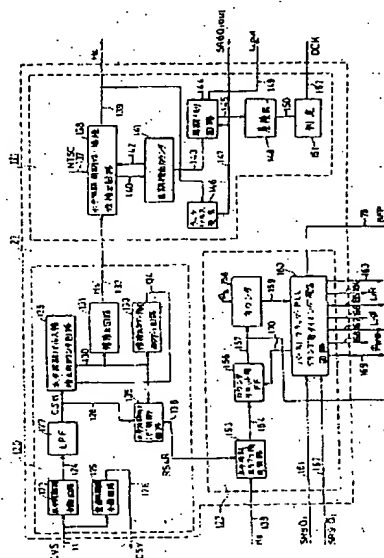
(57) Abstract:

PURPOSE: To improve the time accuracy of a horizontal synchronizing reproduction signal and to realize a stable horizontal reproduction, by finding an average horizontal period value and corrective value of horizontal synchronizing signals detected from digital video signals and obtaining the horizontal synchronizing reproduction signal.

CONSTITUTION: A digital video signal 11 becomes a composite synchronizing signal after a synchronizing separation signal is separated at a separating circuit 123 for horizontal synchronism and a chromatic frequency component is removed by an LPF 127. When the counted value of a counter circuit 129 for detecting horizontal synchronizing pulse width reaches a prescribed value, the 1st horizontal synchronism detect signal (Hs) is outputted from a width detecting circuit 131. A period detecting counter 141 is a 11-bit counter which counts the sampling clock, and the counted value of the counter circuit 129 is transferred to a period memory 144 by the output of a horizontal synchronism periodicity/continuity circuit 138 in accordance with the signal from a latch pulse generating circuit 146 and the difference between the counted value and that of the

last time is detected and a discrimination signal 152 is outputted.

COPYRIGHT: (C)1984,JPO&Japio



BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—23971

⑪ Int. Cl.³

H 04 N 5/06
5/48

識別記号

庁内整理番号
7735—5C
7170—5C

⑬ 公開 昭和59年(1984)2月7日

発明の数 1
審査請求 未請求

(全 30 頁)

⑭ デジタルテレビジョン受像機

⑮ 特 願 昭57—132274

⑯ 出 願 昭57(1982)7月30日

⑰ 発 明 者 工藤幸則

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社総合研究所
内

⑱ 発 明 者 鈴木進

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社総合研究所
内

⑲ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

デジタルテレビジョン受像機

2. 特許請求の範囲

(1) ビデオ信号をデジタル化した後、信号処理を行うデジタルテレビジョン受像機において、デジタルビデオ信号から水平同期信号を検出する手段と、この手段により得られる水平同期信号の連続した複数周期分の水平周期値を所定の基準クロック周期精度のデジタル値として記憶する第1の水平周期メモリ回路と、このメモリ回路内の各周期値の差が所定値以内にあるか否かを判定する判定回路と、この判定回路の出力により制御され前記第1の水平周期メモリ回路からの複数周期分の水平周期値を平均化した水平周期値と、これに対する補正值とを出力する第2の水平周期メモリ回路と、前記水平同期検出信号と水平フラインク信号との位相を比較検出する水平位相検出回路と、この水平位相検出回路の出力と前記第2の水平周期メモリ回路

からの平均化された水平周期値とに基づき前記基準クロック周期の精度の第1の水平同期再生信号を再生するとともに、この第1の水平同期再生信号を前記第2の水平同期メモリ回路からの補正值に従って前記基準クロック周期以下の精度で補正した第2の水平同期再生信号を水平ドライで信号として出力する水平同期再生回路とを備えたことを特徴とするデジタルテレビジョン受像機。

(2) 水平同期信号を検出する手段は、デジタルビデオ信号から複合同期信号を分離する手段と、この複合同期信号の各パルスの前縁でカウントを開始しカウント値が所定値に達する毎に第1の水平同期検出信号を発生する手段と、この第1の水平同期検出信号のうち所定の周期で連続して発生される信号を第2の水平同期検出信号として選択して出力する手段とを含むものであることを特徴とする特許請求の範囲第1項記載のデジタルテレビジョン受像機。

(3) 前記基準クロックはビデオ信号をデジタ

ル化する際のサンプリングクロックと同一クロックであることを特徴とする特許請求の範囲第1項記載のデジタルテレビジョン受像機。

(4) 水平同期再生回路は、第1の水平同期再生信号を入力とするタップ付遅延回路と、この遅延回路の1つのタップ出力を第2の水平周期メモリ回路からの補正值に従って第2の水平同期再生信号として選択するゲート回路とを含むものであることを特徴とする特許請求の範囲第1項記載のデジタルテレビジョン受像機。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、ベースバンドのビデオ信号処理をデジタル的に行うデジタルテレビジョン受像機に係り、特に安定かつ高精度な水平同期再生を可能としたデジタルテレビジョン受像機に関する。

〔発明の技術的背景とその問題点〕

従来、テレビジョン受像機での信号処理は全てアナログ信号処理により行われているが、特

〔発明の概要〕

本発明は、デジタルビデオ信号から水平同期信号を検出し、その検出信号の平均的な水平周期値とこれに対する補正值とを求め、平均的な水平周期値と水平位相検出回路からの信号に基づいて所定基準クロックの周期で定まる精度の第1の水平同期再生信号を生成し、さらにこれを上記補正值に従ってより高精度に補正することによって、水平ドライブ信号となる第2の水平同期再生信号を得るようにしたものである。

即ち、本発明はデジタルビデオ信号から水平同期信号を検出する手段と、この手段により得られる水平同期信号の連続した複数周期分の水平周期値を所定の基準クロック周期の精度のデジタル値として記憶する第1の水平周期メモリ回路と、このメモリ回路内の各周期値の差が所定値以内にあるか否かを判定する判定回路と、この判定回路の出力により制御され前記第1の水平周期メモリ回路からの複数周期分の水平周期値を平均化した水平周期値とこれに対する補

にビデオ段以降のアナログ信号処理については以下のような改善すべき問題点があった。即ち、性能的にはアナログ信号処理の一般的な弱点とされている時間軸上の処理性能に起因する問題であり、具体的にはクロスカラー・ドット妨害として画面に現れる輝度信号・色度信号分離性能、各種画質改善性能、同期性能等である。一方、コスト面および製作上の問題としては、回路をIC化しても外付け部品、調整個所が多いということである。

このような問題を解決するため、ビデオ段以降の色信号復調に到る信号処理を全デジタル化することが検討されている。このようないわゆるデジタルテレビジョン受像機においては、水平同期再生をいかに安定に、かつ精度よく行うかが一つの大きな課題となっている。

〔発明の目的〕

本発明の目的は、高安定、高精度な水平同期再生が可能で高品位な画像が得られるデジタルテレビジョン受像機を提供することである。

正值とを出力する第2の水平周期メモリ回路と、前記水平同期検出信号と水平フリップバック信号との位相を比較検出する水平位相検出回路と、この水平位相検出回路の出力と前記第2の水平周期メモリ回路からの平均化された水平周期値とに基づき前記基準クロック周期の精度の第1の水平同期再生信号を再生するとともに、この第1の水平同期再生信号を前記第2の水平同期メモリ回路からの補正值に従って前記基準クロック周期以下の精度で補正した第2の水平同期再生信号を水平ドライブ信号として出力する水平同期再生回路とを備えたことを特徴としている。

〔発明の効果〕

本発明によれば、水平同期検出信号の周期の平均的な値に基づいて水平同期再生が行なわれるため、安定な水平同期再生が可能である。

また、デジタル信号処理の場合、通常は基準クロック（ビデオ信号をデジタル化する際に用いるサンプリングクロックと同一クロック）の周期で水平同期再生信号の時間精度が決ってし

まうが、本発明によればこれを基準クロック周期以下の精度にまで上げることが可能である。従って、基準クロック周波数と水平周波数とが整数倍の関係にないようなビデオ信号入力に対しても、いわゆるギヤ成分のない高品位な画像を得ることができる。

〔発明の実施例〕

第1図に本発明の一実施例に係るデジタルTV受像機の要部のブロック図を示す。

図において、交流的に結合されているアナログビデオ信号1は、バッファ回路2に輸入される。バッファ回路2の出力3は、帯域制限のためのローパスフィルタ(LPF)4に導かれる。LPF4のカットオフ周波数は本システムをNTSC、PALで共用するため5.5 MHzになっている。帯域制限されたビデオ信号出力7は、バッファアンプ回路8に導かれる。バッファアンプ回路8はアナログビデオ信号1が1 V_{p-p}で入力された時に、後段のA/Dコンバータ(ADC)10の入力信号9がほぼ2 V_{p-p}となるように調整され

を検出し、ペダスタルレベルが所定の値になるような制御信号20を出力する。クランプ回路19の出力20はD/Aコンバータ(DAC)21に導かれ、アナログ信号に変換される。DAC21の出力22は抵抗を経てバッファアンプ回路8の入力にクランプ用電圧として重畳され、そのDCレベルを制御する。

タイミング信号31はPLL(Phase Locked Loop)制御回路23に必要なタイミング信号である。PLL制御回路23はサンプリングクロック(ϕ_s)12の周波数及び位相を制御するための回路である。即ち、ADC10～同期検出・タイミング発生回路27～PLL制御回路23～DAC16～VCXO13～ADC10のループでPLL回路を形成している。本実施例では基本的にはNTSC入力の場合 ϕ_s 12の位相の1つがI軸に一致するように、PAL入力の場合、U軸に一致するようにPLLがかかるようになっている。NTSC、PAL入力の切換情報は信号15(以下NTSC/PAL切換信号という)より得られる。PLL制

ている。ADC10は入力信号9をサンプリングクロック(ϕ_s)12でサンプリングし、例えば8ビットに量子化して出力する。サンプリングクロック(ϕ_s)12の周波数 f_s は

$$f_s = 4f_{sc} (f_{sc}; \text{カラーサブキャリア周波数})$$

である。

ϕ_s 12はデジタル回路部61に導かれる。

ϕ_s 12に同期した8ビットのデジタル化されたビデオ信号11(以下DVS信号という)も又同様にデジタル回路部61に導かれる。デジタル回路部61内のブロックは全てデジタル回路で構成されている。DVS信号11は同期検出・タイミング発生回路27に導かれる。同期検出・タイミング発生回路27はDVS信号11から同期パルスを検出し、その同期パルス検出信号に従って各欄のタイミング信号28, 29, 30, 31, 32を発生する。

ペダスタルクランプ回路19はビデオ信号1の直流再生のための回路であり、タイミング信号32によりDVS信号11のペダスタルレベル

御回路23の制御信号出力24はDAC16に導かれ、アナログ信号14に変換される。このアナログ制御信号14は電圧制御型水晶発振器(VCXO)13に導かれ、これによりVCXO13の出力にサンプリングクロック ϕ_s 12を得る。VCXO13の水晶発振子はNTSC/PAL切換信号15によって切換えられ、所定の ϕ_s が得られるようになっている。なお、本実施例のPLL制御システムの原理的な実施例については米国特許第4291332号明細書に述べられている。

図1図でコントロールデータ17はデジタルTV受像機のコントロールを行うデジタルデータであり、例えばリモコン受信回路(図示せず)から得られる。コントロールデータ17はデコーダ17によりデコードされ、各部のコントロールを行う。このデコードされたコントロール信号は、色飽和度およびコントラスト・ブライトコントロール信号48と色相コントロール信号49とからなっている。色相コントロール信号49はPLL制御回路23を介してサンプリン

クロック ϕ_{12} の位相を変えることにより、色相をコントロールする。PLL 制御回路 23 には又、水平フライバック信号（以下 f_{HFB} 信号と言う）18 が入力されており、PAL 入力時の周知のパルアイデント (PAL Ident) 信号（以下 PID 信号と言う）25 を発生する。

同期検出・タイミング発生回路 27 のタイミング信号出力 29 は、水平カウンタダウン回路 32 に導かれる。水平カウンタダウン回路 32 は f_{HFB} 信号 18 を用いてタイミング信号 29 から水平同期再生を行い、水平ドライバ信号 (f_{HDout}) 34 を出力する。水平カウンタダウン回路 32 はまた、サンプリングクロック (ϕ_s) 12 と水平同期信号との関係を判定し、NTSC 信号入力の場合 $\phi_s \approx 9.10 f_H$ (f_H : 水平周波数) のとき、PAL の場合 $\phi_s \approx 11.35 f_H$ のとき水平同期標準モード (HMOD) 信号 35 を出力する。同期検出・タイミング発生回路 27 のタイミング出力 30 及び水平カウンタダウン回路 32 の出力 33 は、垂直同期再生を行う垂直カウンタダウ

ン回路 32 の出力 33 は、垂直同期再生を行う垂直カウンタダウン回路 36 に導かれている。垂直カウンタダウン回路 36 は再生された垂直同期信号 (f_{VDout}) 37 を出力する。

f_{HDout} 信号 34 はドライバ回路 (Hドライバ) 50 で増幅された後、信号線 51 を経て水平偏向系（図示せず）に導かれる。

一方、 f_{VDout} 信号 37 は垂直ランプ発生、及び垂直ハイト制御回路を含む V ランプハイト回路 52 に導かれ、その出力 53 は垂直偏向系（省略）に導かれる。

DVS 信号 11 はまた輝度信号 (Y) と色度信号 (C) とを分離する Y-C 分離回路 38 に導かれる。Y-C 分離回路 38 は垂直相関を利用して Y-C 分離を行う分離回路（コンフィルタとして周知である）と、垂直相関を用いずに水平方向サンプル点を用い、水平相関のみによりフィルタを構成した分離回路（バンドパスフィルタとして周知である）とを有し、HMOD 信号 35 により分離回路が選択される。即ち HMOD="1" の時

コンフィルタで Y-C 分離を行い、HMOD="0" の時はバンドパスフィルタを用いて Y-C 分離を行うように構成されている。Y-C 分離回路 38 には NTSC/PAL 切換信号が導かれており、この切換信号に従って 1 水平遅延量が切換えられるごとくなされている。この遅延量は NTSC で 9.10 ビット遅延、PAL では 11.35 ビット遅延である（1 H デイレイラインとして周知である）。

分離された色信号 (C 信号) 39 と、色復調の基準位相を与えるパルス (ϕ_c) 26 と PID 信号 25、コントロール信号 48、バーストフラッグパルス BFP 28 は色プロセス回路 41 に導かれる。色プロセス回路 41 は自動色飽和度コントローラ (ACC) 回路、カラーキテー回路、および ϕ_c 26 を基準パルスにして 2 軸の同期検波により色信号（NTSC で I、Q 信号、PAL で U、V 信号）を復調する色復調回路とから構成されている。色プロセス回路 41 に入力されたコントロール信号 48 は ACC 回路を制御し、色飽和度、つまり色の濃さを制御する。色プロセス回路 41

の出力 42 としては、復調出力 I/U、Q/V が得られる。

Y-C 分離回路 38 で分離された輝度信号 (Y 信号) 40 は Y プロセス回路 43 に導かれる。Y プロセス回路 43 の他方の入力 is コントロールデータ信号 48 であり、この信号によってブライト、コントラストが制御される。この Y プロセス回路 43 はブライト、コントラスト制御回路と水平、垂直の輪郭補正信号を得る回路とより構成され、制御あるいは補正された Y 信号 44 を出力する。

色復調信号 42 と Y 信号 44 は RGB マトリックス回路 45 に導かれ、所定のマトリックス演算により 3 原色 R、G、B の信号 46 となる。この R、G、B の信号 46 は DAC 54 によりアナログ信号にもどされる。DAC 54 は R、G、B 用の 8 ビットの DAC 3 個から構成されており、その出力 55 はバッファアンプ 56 に導かれる。バッファアンプ 56 は入力信号を増幅し R、G、B の出力 57、58、59 を色出力回路（図示せず）

へ導く。色出力回路は CRT 60 に接続されている。

次に、第1図の要部の具体的な構成を詳細に説明する。

まず、第2図は以下の詳細な説明に関し、表記上の説明を行うための図である。なお以下の説明においては正論理を使用することにする。

第2図(a)は加算器を示している。NビットからなるA入力70とMビットからなるB入力71に対し、A+B出力73はLビットになることを示している。C072は最低位ビットに加わるキャリー入力を示している。(a)に示したように複数ビットから成る信号はN6, M6, L6という様に表記することにする。

同図(b)は減算器を示している。A入力75, B入力77は加算器78で加算され、A-B出力76となる。図示したように加算器78の入力のうち減算する入力に対して、-の符号を付することにする。

同図(c)はNビットのラッチ回路を示している。

と表記する。

同図(f)はクロック同期型のプリセッタブルカウンタを示している。即ち96はプリセットデータ入力を示し、95はプリセットタイミング信号入力を示す。同図(g)は、NAND型のセットリセット(RS)フリップフロップを示し、S端子入力99が"0"の時Q出力101は"1"となる。

同図(h)はデータセレクトアを示し、A入力104, B入力105を選択信号(S)109に従って108として出力する。出力108の論理は $S \cdot A + \bar{S} \cdot B$ となる。即ち、 $S = "1"$ の時出力108にはA入力104の情報が出力され、 $S = "0"$ の時出力108にはB入力105の情報が出力される。

なお、以下の説明において複数段のカウンタのカウンタ状態を入力クロック単位で表現する場合には、カウンタ出力を上位ビットから $Q_N, Q_{N-1}, \dots, Q_3, Q_2, Q_1$ とした時、"000...000"を零とし、"000...001"を1、

入力80はラッチ83に導かれクロック78の立ち上りタイミングでラッチされ、出力84となる。図中信号82はリセット端子Rへの入力を示し、信号82が"1"の時ラッチ出力84はオール"0"となる。また、図中信号81はプリセット端子Prへの入力を示し、この信号81が"1"の時、出力84はオール"1"となる。

同図(d)はシフトレジスタを示している。信号85は入力を示し、信号86はシフトクロック(d)、信号88は出力である。信号87はリセット端子Rの入力であり、これが"1"の時出力88はオール"0"となる。

同図(e)は同期型のMビットカウンタを示す。入力クロックが90であり、クロック同期型リセット信号が91であり、出力が92である。図中Nがカウンタ番号を示し、 $J=1 \sim M$ はM段のカウンタ段であることを表わしている。なお、クロック90に対して非同同期型のリセット端子を有するカウンタについてはリセット端子をR*

"000...010"を2, "000...011"を3という様に表現することにする。

(同期検出・タイミング発生回路)

第1図において、ペダスタルクランプ用DAC21の出力22が0Vの時、バッファ6の出力7にはDCクランプ電圧0Vのアナログビデオ信号が得られる。今、DCクランプ電圧0Vの時、アナログビデオ信号1としてAPL(Average Picture Level)の最も小さい信号が入力された場合、第3図に示したようにADC10のダイナミックレンジ3-1, 3-2に対してADC10の入力が3-3のような波形となるよう第1図のバッファ2, LPF4, バッファ6, バッファアンプ8は調整されている。

第3図において、ペダスタルレベル(PDL)3-4を"00101111"の値にし、水平同期信号分離レベル(SDLH)3-5を(PDL)3-4の約1/2レベル"00001111"に選ぶ。本発明の一実施例におけるペダスタルクランプの制御ループにより、入力されたビデオ信号1のペダスタルレベルは

(PDL) 3-4 の値にクランプされる。このクランプ回路については後述する。

第4図にADC 10のダイナミックレンジに関して、ペデスタルクランプ電圧0Vの信号4-1と正常なクランプがかかった信号4-2の様子を示す。第4図中、(SDLV) 4-3は垂直同期信号分離レベルを示しており、特にゴースト等の外乱に対し垂直同期再生を確実にするために、

(SDLH) 3-5より(PDL) 3-4に近く取ってくる。この例では(SDLV) 4-3は"00011111"とした。このようにしてペデスタルクランプのかかったデジタルビデオ信号DVS 11が同期検出・タイミング発生回路27に導かれる。

第6図に同期検出・タイミング発生回路27の構成を示す。この回路27は大きく分けて、同期分離・水平同期パルス幅検出回路系120と、水平同期周期性・連続性検出回路系121と、タイミング発生回路系122とからなる。

まず、入力されたDVS信号11は水平同期用、垂直同期用の同期信号をそれぞれ分離するため

の立ち下りタイミングを制御する水平同期タイミング制御回路135に導かれる。この水平同期タイミング制御回路135はHs'信号132の出力タイミングから、一定期間内にCSH信号128が立ち下らない場合は、バーストフラッグパルスやPLL、クランプ用の各種タイミング信号を発生するタイミング発生回路系122を非動作状態とする信号RS4R 136を発生する。このように所定の条件を満たすCSH信号128が到来した時のみPLL、クランプ等の動作が行われるため、非常に安定した(外乱に強い)PLLおよびクランプ回路が構成できることになる。

水平同期周期性・連続性検出回路系121は水平同期信号(実際はHs'信号)の周期性および連続性を検出し、所定の周期と連続性を有したHs'信号のみを第2の水平同期検出信号(Hs信号)139として得る。

周期検出カウンタ141はφ₀を基準クロックとしてカウントする11段のカウンタで、そ

の水平同期用分離回路123、垂直同期用分離回路125に導かれ、同期分離信号124およびCVS信号126が分離される。同期分離信号124は高域成分、つまり色周波数成分を除去するLPF 127でフィルタリングされる。LPF 127の出力128は複合同期信号(CSH)であり、水平同期パルス幅検出用カウンタ回路129に導かれる。カウンタ回路129の出力130は幅検出回路131に入力され、このカウント値が所定の値になると、つまり水平同期信号のパルス幅が所定の幅になると第1の水平同期検出信号(Hs'信号)132が幅検出回路131より出力される。幅検出カウンタ制御ゲート回路133は、幅検出回路131よりHs'信号132が出力されるとカウンタ回路129をCSH信号128入力を一定期間受け付けないように制御し、ゴーストの大きい信号入力によるCSH信号128の割れ等による水平同期の誤動作を防ぐためのものである。CSH信号128及びカウンタ回路の出力130はCSH信号128

の11ビットの出力143は2周期分のカウント値を記憶可能な周期メモリ回路144に導かれている。今、所定の周期性と連続性を有したHs信号139が水平同期周期性・連続性検出回路138の出力に得られると、ラッチパルス発生回路146からSR6Q₁ out信号147が発生され、これによってカウンタ141の出力143が周期メモリ回路144に記憶される。差検出回路148は周期メモリ回路144内の2周期分の値の差を検出し、判定回路151は差検出回路148の出力150からこの差が所定値以下のとき判定信号(DCK信号)152を出力する。

次にタイミング発生回路系122においては、水平同期立ち下り検出回路153でHs信号139とRS4R信号136から水平同期信号の立ち下りタイミングを検出し、立ち下りを検出するとカウンタ158のカウント動作を開始するようカウンタリセット用フリップフロップ156を制御し、リセット信号157を発生させる。カ

カウンタ158は6段構成のもので、このカウンタ158の出力159と後述するPLL制御回路の出力SR9Q、信号161、SR9Q、信号162とによりPLL、クランプ回路動作に必要な各種タイミング信号163~169およびパーストフラッグパルス(BFP)28をパーストフラッグ・PLL・クランプ用タイミング発生回路160より発生する。

第6図の同期検出・タイミング発生回路27について、さらに具体的に説明する。第7図に第6図中の同期分離・水平同期幅検出回路系120と水平同期周期性・連続性検出回路系121の具体的回路図を示す。

第7図において、DVS信号11は水平同期用分離回路123としての比較回路(Comp1)180にX₁入力として与えられて、X₂入力である水平同期分離レベル(SDLH)181と比較され、X₂ ≥ X₁の出力が分離信号124として得られる。同様に垂直同期用分離回路125としての比較回路(Comp2)182より垂直同期用分離

出力はシフトレジスタ191に導かれ、ANDゲート192を通して幅検出パルス(Ha')132が得られる。Ha'信号が得られるとRSフリップフロップ193がセットされ、そのQ出力195によりゲート188を通してカウンタ187のリセット信号189が強制的“0”とされる。ORゲート196は水平同期タイミング制御出力を得るゲートで、カウント187のカウント値が“48”~“128”の間“1”を出力する。今、ゲート196の出力が“1”の期間にCSH信号が立ち下る(CSH信号128が立ち上る)と、NANDゲート197の出力136に第8図にRS4Rで示した波形が得られ、RS4R信号136の立ち下りがCSH信号の立ち下りのタイミングを与えることがわかる。NANDゲート194はカウンタ187のカウント値が“239”のときフリップフロップ191のQ出力195を反転させる。これによりHa'信号132が出力された後、“240”-“48”=“192”(φ₈単位)の間はカウンタ187がCSH信号入力を

信号(CSV)126が得られる。水平、垂直の各同期分離レベル(SDLH)181、(SDLV)183は第3図、第4図にて説明したようにSDLH=“00001111”、SDLV=“00011111”であるから、各比較回路180、182は各々簡単なゲート1個で実現できる。比較回路180の出力124は、4段構成のシフトレジスタ184に導かれる。シフトレジスタ184のシフトクロックはφ₈である。このシフトレジスタ184の各ビットの出力は4入力NANDゲート185に与えられ、出力128としてCSH(CSHの反転)が得られる。シフトレジスタ184およびゲート185はLPF127を構成し、f_{sc}周期以下の成分、つまり色周波数成分を除去する。

一方、カウンタ回路129、幅検出回路131、ゲート回路133、水平同期タイミング制御回路134においては、第8図にタイムチャートを示したようにCSH=“1”となるとカウンタ187がカウントを始め、このカウンタ187の“48”カウント出力(ANDゲート190の

受け付けないよう動作する。ANDゲート132-2はQ18・RS4Q(後述する)の論理出力を132-1として出力する。

Ha'信号32は水平同期周期性・連続性検出回路系121に導かれる。この検出回路系121の説明の前に本実施例のデジタルTV受像機のNTSC、PALの各々の信号受信時における水平周波数の対応範囲、及び周期検出カウンタ141の動作について述べる。

放送波で定規されるNTSC信号は4f_{sc}=910f_H(f_H:水平周波数、f_{sc}:カラーサブキャリア周波で4f_{sc}=14.3MHz)である。

一方、4f_{sc}≒910f_Hのような信号も、一部のカラーバースト発生器、ビデオゲーム等に存在している。すなわち、カラーサブキャリア周波数f_{sc}と水平周波数f_Hとの間に何の関係もない信号が存在する。今、実用上問題のないよう水平周波数の対応範囲をf_H=15.73±0.5KHzとすると、この範囲に相当する1水平期間内にカウンタ187でサンプルクロックφ₈(=4f_{sc})

が“880”~“944”カウントされ得ることになる。

PAL の場合は、 $4f_{sc} \approx 1135f_H$ ($4f_{sc} \approx 17.73$ MHz) であり、同様に $f_H = 15.625\text{KHz} \pm 0.5\text{KHz}$ とすると、1 水平期間にカウント可能な ϕ_s の数は、“1099”~“1173”ということになる。水平同期信号の周期性検出は上述の水平周波数対応範囲をカバーしなければならない。このため周期性を検出する第7図の周期検出カウンタ141(213)は、 ϕ_s を基準として1 水平期間カウント可能なカウンタであり、11段構成となる。カウンタ213は H_s' 信号132の到来時、NTSCで“144”カウントに、PALで“64”カウントにプリセットされることにより、周期性検出のタイミングが容易に取れるようになっており、同時にこのようなプリセットにより後述するように第1図の水平カウンtdown回路32の回路構成も簡単化することができる。

第9図に H_s' 信号132と水平周期対応範囲を示すゲート信号(HMasR)及びカウンタ213

第10図で示したように水平同期検出信号 H_s は、外乱に強い高相度の信号として得られることが理解されよう。

第7図において、ORゲート207の出力としてHMasR信号が得られ、ANDゲート208の出力として H_s 信号139が得られる。 H_s' 信号132の反転でリセットされ、NORゲート211の出力でセットされるRSフリップフロップ212のQ出力が H_s' 信号欠落時の制御信号(第10図のRS3Q)を与える。カウンタ213のプリセット信号はORゲート204の出力203として得られる。NTSC信号に制御されるプリセットデータ発生回路201は、上記したようにNTSC信号受信時に“144”カウントに相当するデジタル値“00010010000”を発生し、PAL信号受信時に“64”カウントに相当するデジタル値“00001000000”をそれぞれ発生する。

H_s 信号139はシフトレジスタ215に導かれる。このシフトレジスタ215のQ₁出力

のカウント値の関係を示す。図のように所定周期で、かつ連続的に得られる H_s' 信号132のみが水平同期検出信号 H_s として $H_s = H_s' \cdot \text{HMasR}$ で示す積論理で得られる。SR6Q₁はこの H_s 信号139と ϕ_s をシフトクロックとして蓄積するシフトレジスタ215の出力を示す。第9図中9-1, 9-2はカウンタ213のNTSC, PALの各信号受信時におけるカウント状態を示す。

第10図に H_s' 信号132の周期性・連続性を検出するタイムチャートを示す。HMasR信号はNTSC信号受信時は10-1で示すようにカウンタ213の“1024”カウントで立ち上り、 H_s' 信号の立ち下りに同期して立ち下る。また、10-3で示すように H_s' 信号が欠落すると、HMasR信号は“1088”カウントで立ち下り、カウンタ213は“144”カウントにプリセットされたまま、次の H_s' 信号の到来を待つ。10-4で示すように再び H_s' 信号が得られると、10-5で示す H_s' 信号から H_s 信号が得られる。PAL信号受信時も基本的動作は同じである。

147はカウンタ213の11ビット出力214をラッチ216にラッチするタイミングを与える。ラッチ216の出力149はラッチ217に導かれる。これら2段のラッチ216, 217は第1の水平周期メモリ回路144を構成しており、カウンタ213からの2周期分のデータを記憶している。ラッチ216, 217の値の差を検出するのが差検出回路148としての減算器219であり、差出力220を判定回路151に出力する。

判定回路151においては、差出力220の11ビットのデータのうち上位9ビットをNANDゲート221とANDゲート222に入力し、ゲート221, 222の出力をORゲート223に入力して、出力としてDCK信号152を得る。即ち、ラッチ216の出力149とラッチ217の出力218の差が±3以内であればDCK信号152は“1”となる。 H_s 信号139, ラッチ216の出力149, DCK信号152, シフトレジスタ215の出力147は第1図の水平カ

ウントダウン回路 32 に導かれる。

第 11 図にバーストフラッグ・PLL・ランプ用タイミング発生回路系 122 のより具体的な構成を示す。H₀ 信号 139 の反転信号 232 は RS フリップフロップ 234 をセットし、RS4R 信号 136 はこのフリップフロップ 234 をリセットする。フリップフロップ 234 の Q 出力 235 は水平同期信号の立ち下り（後縁）に同期して立ち上る信号であり、シフトレジスタ 236 に導かれる。シフトレジスタ 236 の Q₁ 出力 154 は 1 段構成のカウンタ（フリップフロップ）237 に導かれる。今、シフトレジスタの Q₁ 出力 154 が “0” → “1” になると、カウンタ 237 の Q₄₁ 出力 157 は “0” となり、これによりカウンタ 238 はリセット状態が解除されカウントを開始する。カウンタ 238 は 6 段のもの構成で、出力 Q₃₆, Q₃₅, Q₃₃ の端理で NAND ゲート 239 を介して自己リセットがかかるようになっている。

タイミング発生回路 160 の動作を第 12 図

285 に入力される。今、HSD = “0” 即ち、同期検出が行われていない状態であると、ペデスタルクランプをかけるべきタイミング情報（例えば BFP 28）を得ることができないため、まず同期信号部分を切出す必要がある。このため HSD 信号 280 が “1” → “0” となると、シフトレジスタ 284 で HSD 信号 280 の立ち下りを検出し、この検出信号 276（ゲート 275 の出力）で、クランプ電圧をデジタル値として記憶しているラッチ 272 をリセットする。ラッチ 272 の出力 20 がオール “0” となると、クランプ電圧（第 1 図の DAC 21 の出力 22）は 0 V となり、クランプ制御系は初期状態に設定される。

一般的にビデオ信号入力が存在すると、初期設定時における ADC のダイナミックレンジと信号の関係は、第 4 図に 4-1 で示したようになっている。第 13 図において DVS 信号 11 である 8 ビット信号のオフ端理をとるゲート 252 の出力は、ADC 10 のダイナミックレンジの LSB

に示す。第 12 図では、CHS 信号（第 7 図の LPF 127 の出力）、H₀ 信号 139、φ_R、シフトレジスタ 236 の Q₁ 出力 154、カウンタ 237 の Q₄₁ 出力 157、カウンタ 238 の Q₃₁, Q₃₂... Q₃₆ 出力に対応させて、カウンタ 238 のカウント値と共に各側のタイミング信号を示した。これらのタイミング信号入、出力 28, 163, 164, 165, 166, 167, 168, 169, 157, 230, 161, 162 については後述のクランプ回路、PLL 制御回路の詳細な説明において適宜説明する。

（ペデスタルクランプ回路）

第 1 図のペデスタルクランプ回路 19 は、第 4 図 4-2 の波形で示したように到来する DVS 信号 11 のペデスタルレベルを (PDL) 3-4 “00101111” の直にクランプする回路である。

第 13 図にペデスタルクランプ回路 19 の具体的な回路図を示す。図中 HSD 信号 280 は、H₀ 信号 139 が得られていると “1” となる同期検出状態を示す信号であり、同期検出判定回路

側端を入力信号が横切った期間のみ、つまり DVS 信号 11 がオール “0” となったとき “0” となる。このゲート 252 の出力は 8 段構成のシフトレジスタ 253 に導かれている。シフトレジスタ 253 の全ての出力を入力とする NOR ゲート 254 の出力 255 には、ゲート 252 の出力を LPF を通した信号に相当する信号が “1” として得られる。これらのゲート 252、シフトレジスタ 253、ゲート 254 により DVS 信号 11 のレベル検出回路 281 が構成される。この検出回路 281 の出力信号 255 の立ち上りタイミングを NAND ゲート 256 で検出し、RS フリップフロップ 257 をセットする。このフリップフロップ 257 の Q 出力 258 は、10 ビットのデータセクタ 269 の B 入力に導かれている。なお、データセクタ 269 の B 入力データはこの時、図示しないエンコーダにより MSB 側から “1111111000” に変換されて入力されるものとする。データセクタ 269 の 10 ビット出力 270 とラッチ 272 の 12

ビット出力 273 は、LSB を一致させて減算器 271 で差を取られる。その差信号がシフトレジスタ 253 の Q₃ 出力のタイミング (AND ゲート 278 の出力タイミング) で再びラッチ 272 に書き込まれる。

上記した動作を繰り返すことにより、クランプレベルは H₀ 信号 139 が得られるまで上昇する。H₀ 信号 139 が得られると、HSD="1" となり同期検出状態となる。HSD="1" の時、切換回路 283 を構成するデータセレクト 269 の出力 270 には A 信号 268 が導かれ、ペダスタルグラブモードとなる。DVS 信号 11 は減算器 250 で (PDL) 251 "00101111" の分だけ減算される。減算器 250 の出力のサイン (sgn) ビットは、DVCS 信号 286 として後述する PLL 制御回路に導かれる。また、減算器 250 の sgn ビットを含む 8 ビット出力はラッチ 263 に導かれ、第 11 図におけるカウンタ 238 からの第 12 図に示した 1/6 周期である Q₃₁ 出力 230 でサンプリングされる。

L₁₂ φ 信号 169 及びゲート 278 の出力はラッチ 272 のクロックを与える信号 279 となり、その反転出力 20-1 はクランプ用 DAC 21 のデータラッチのクロックに使用される (第 1 図では省略)。

(PLL 制御回路)

PLL 制御回路 23 の原理的な構成例について米国特許第 429133230 明細書に述べられているため、ここでは PLL 制御回路 23 についてはその具体的回路構成及び特徴について述べる。

第 14 図は PLL 制御回路 23 の概略構成を示すブロック図である。誤差検出回路 300 はタイミング信号である L₇ φ 信号 162、L_{2R} 信号 164、L_{6R} 信号 165 に制御されて、DVS 信号 11 に関し

$$\sum_{j=1}^k (P_{4j-3} - P_{4j-1}), \sum_{j=1}^k (P_{4j-2} - P_{4j}) \dots (1)$$

の積分演算を行う。なお、P_{4j} のサンプリング点については第 5 図のカラーバースト波形 5-1 上に示す。第 5 図で 5-2 は、演算を行う期間

加算器 265、ラッチ 266 はデジタル型の積分回路 282 を構成している。積分回数はラッチ 266 の φ 入力 163 で決まる。第 12 図に示したようなカラーバースト期間の積分を行うため、この積分回数は 12 回とする。ラッチ 266 の出力 267 のうち、下位 2 ビットを切捨てた 10 ビット出力 268 がデータセレクト 269 の A 入力に導かれる。

なお、加算器 265 の Co 入力は第 11 図におけるカウンタ 238 からの Q₃₂ 出力 241 が導かれてウォープリング信号となっており、これによりクランプの精度を向上させている。上述した 12 回の積分が終了すると、ラッチ 266 にはタイミング発生回路 160 からの L_{2R} 信号 164 のタイミングでリセットがかかる。

減算器 271、ラッチ 272 もまた積分回路 284 を構成しており、減算器 271 の入力 270 がオール "0" となるように積分がくり返され、これによりペダスタルレベルが安定する。なお、タイミング発生回路 160 からの

(バースト期間) を示しており、本実施例に関しては k=6 として使用した。即ち、6 バースト期間につき上記 (1) 式の積分演算を行うことになる。

第 5 図に示したようにカラーバーストの位相に対して目標とするサンプリング位相を 0 とすると、誤差信号は

$$E = \sum_{j=1}^6 (P_{4j-3} - P_{4j-1}) - \sum_{j=1}^k (P_{4j-2} - P_{4j}) \tan \theta \dots (2)$$

となる。(2) 式の誤差演算を行うのが誤差演算回路 302 であり、その演算出力 303 は誤差積分回路 304 に導かれる。誤差積分回路 304 の出力 24 は DAC 16 に導かれ、これによって PLL がかかることになる。(2) 式より θ の値 (実験は tan θ の値を可変とすることにより、任意のサンプリング位相を得ることができる。なお、色相のコントロールはこの tan θ の値を可変とすることにより行う。即ち、色相コントロールデータ発生回路 305 はコントロール信号 49 を受けると、予め定められているコントロールデ

タに従った $\tan \theta$ の値を選び出し、その値を示す信号 306 を誤差演算回路 302 に出力する。

一方、前記(1)式の積分演算結果、つまり誤差検出回路 300 の出力 301 の sgn ビットは基準サンプリング位相検出ゲート回路 314 に導かれ、ここで基準となるサンプリング位相を与える基準位相パルス 315 が生成される。この基準位相パルス 315 は連続的に基準パルスを発生する基準パルス発生回路 316 に導かれ、基準位相、つまり NTSC の場合で I 軸、PAL の場合で U 軸をそれぞれ示す ϕ_c 信号 26 が基準パルスとして得られる。なお、PAL については基準位相として U 軸を得ると共に、PAL アイデント信号を必要とする。

1 ビットからなる DVCS 信号 286 はパースト検波積分回路 308 に導かれ、カラーパーストの 6 周期期間 ϕ_c 信号 26 でサンプリングされるとともに、そのサンプリング結果が積分される。積分結果 308 は PAL アイデント信号の安定性を得るための時定数回路（積分回路に等し

324 の出力 325 はラッチ 327 に導かれる。ラッチ 327 の出力 328 は 12 ビットから成り、減算器 322 の一方の入力となる。この出力 328 の MSB 側から 8 ビット分の出力 330 が誤差演算回路 302 に導かれる。ラッチ 320 の 12 ビット出力 325 もまた誤差演算回路 302 に導かれる。

L_2R 信号 164、 L_7 信号 162 は誤差演算回路 302 を制御する信号であり、(1)式で示した積分演算結果においてラッチ 324 の出力 325 に $\sum_{j=1}^6 (P_{4j} - P_{4j-2})$ の値が、ラッチ 327 の出力に $\sum_{j=1}^6 (P_{4j-1} - P_{4j-3})$ の値がそれぞれ来るようラッチ 324、327 を制御する。積分結果のデータのうちのサインビット 326、329 は基準サンプリング位相検出ゲート回路 314 に導かれる。

今、NTSC で $\theta = 33^\circ$ とする Q 軸 (Q_c 軸) が検出でき、また PAL で $\theta = \pm 45^\circ$ とすると PID 信号に制御され U 軸が検出できる。

第 15 図中、AND ゲート 338 が Q 軸検出用

い) 310 に導かれる。この時定数回路 310 の出力 311 と PID 信号 25 及びタイミング信号である L_{12} 信号 169 により、PAL アイデント判定ゲート回路 312 で PAL アイデントが所定の関係を満たしているか否かが判定され、所定の関係にない場合は、リセット信号 313 が出力される。PAL アイデント発生回路 307 は、 f_{HFB} 信号 18 を入力とする 1 駄のカウンタで、そのカウント出力として PID 信号を得る。リセット信号 313 はこのカウンタのリセット端子に入力されている。前記基準サンプリング位相は、PAL においては U 軸即ち、PID 信号 25 に従ってパースト位相に対して $\pm 45^\circ$ の位相となる。

第 15 図に PLL 制御回路 23 のより具体的な回路構成を示す。DVS 信号 11 はラッチ 320 に導かれる。ラッチ 320 のリセット信号は L_6R 信号 165 である。ラッチ 320 の出力 321 は減算器 322 に導かれる。減算器 322 の出力 323 はラッチ 324 に導かれ、ラッチ

ゲートであり、AND ゲート 339、340 が U 軸検出用ゲートである。各ゲート 338~340 の出力は OR ゲート 341 に導かれる。OR ゲート 341 の出力 315 は基準パルス発生回路 316 に導かれる。シフトレジスタ 354 は基準軸検出用であり、その Q_1 出力 355 がカウンタ 356 をリセットする。カウンタ 356 の Q_{62} 出力 357 はシフトレジスタ 358 に入力され、 ϕ_s クロックで同期化されてシフトレジスタ 358 の Q_1 出力より ϕ_c 信号 26 として付られる。この ϕ_c 信号 26 の立ち上りタイミングが Q_c 軸を示すことになる。第 16 図に L_7 信号 162、 L_6R 信号 165、SRGR 信号 167、シフトレジスタ 354 の入力 315 およびその Q_1 出力 355、 Q_{61} 、カウンタ 356 の Q_{62} 出力 357、 ϕ_s および第 11 図のフリップフロップ RS 51 の Q 出力の各波形を示した。

色相コントロールは 2 ビットステップとした。コントロールデータ 49 はデータデコーダ 333 でデコードされ、エンコーダ ROM 335 でエン

コードされる。NTSCの場合、コントロールデータ49が"00"の時 θ の値を 33° (中心値)に、"01"の時 $\theta = 27^\circ$ に、"10"の時 $\theta = 37^\circ$ に、"11"の時 $\theta = 41^\circ$ に選ぶことにすると、 $\tan 33^\circ$ はsgnを含む6ビットで近似すれば $\tan 33^\circ = "010101"$ とエンコードされ、同様に $\tan 27^\circ = "010000"$ 、 $\tan 37^\circ = "011000"$ 、 $\tan 41^\circ = "011100"$ とエンコードされる。

PALの場合はPID信号25によりエンコード値が制御される。PALの時、コントロールデータ"00"は $\theta = \pm 45^\circ$ となり、エンコード出力はsgnを含む7ビットで近似しPID="1"の時、"0111111"をエンコード出力として得、PID="0"(以下単に $\overline{\text{PID}}$ という)の時、"1000000"を得る。コントロールデータ"01"の時 $\theta = \text{PID}$ で"0110000"を、 $\overline{\text{PID}}$ で"1000000"を得る。コントロールデータ"10"の時PIDで"0111111"を、 $\overline{\text{PID}}$ で"1110000"を得る。コントロールデータ"11"の時PIDで"0111111"を $\overline{\text{PID}}$ で"1100000"を得る。

れる。

これら加算器344、ラッチ351、ANDゲート347、348で誤差積分回路304を構成している。ラッチ351は13ビット構成であり、MSB側から9ビットの出力24が第1図のPLL用DAC16に導かれる。

上述したようにゲート348はオーバーフロー検出ゲートで、出力349が"1"の時ラッチ351をプリセットし、その出力をオール"1"とする。ゲート347はアンダーフロー検出ゲートで、出力350が"1"の時ラッチ351をリセットし、その出力をオール"0"とする。なお、加算器344の出力353はオーバーフローの出力を示している。

第15図中において、DVCS信号286は加算器361に導かれており、加算器361の出力362はラッチ363に導かれる。ANDゲート359はPAL時のU軸検波位相信号360を出力し、ラッチ363にクロックとして与える。これらのゲート359、加算器361、ラッチ

このように、色相コントロールに関しては、NTSC信号及びPID信号25に従って所定のエンコード出力(エンコーダ335の出力)336が得られる。エンコーダ335の出力336は $\tan \theta$ の値を示し、誤差演算回路302に導かれる。

誤差演算回路302はラッチ324の出力326とエンコーダ335の出力336とを乗算する乗算器332と、この乗算器332の出力337とラッチ327の出力330とを加算する加算器331とより成る。タイミング信号(ϕ_{mp})168は乗算器332の乗算タイミングを与える。加算器331の出力343は誤差積分回路304における加算器344に入力される。加算器344の他の入力は、ラッチ351の出力352である。加算器344の出力346はラッチ351に導かれている。 $L_{11}\phi$ 信号はラッチ351のラッチタイミングを与えると共にANDゲート348、347に導かれ、オーバーフロー、アンダーフローの検出タイミングに使用さ

363でバースト検波積分回路308を構成する。この積分回路308のsgn出力365は時定教回路310に導かれ、さらに積分される。

時定教回路310は加算器366とこの加算器366のsgn出力368およびこれ以外の5ビットの出力367をラッチするラッチ371、372を主体として構成されている。

なお、ANDゲート373、NORゲート374は各々オーバーフロー、アンダーフロー検出用であり、検出タイミング信号は ϕ_{mp} 信号168である。ラッチ371の出力377はPALアイデント判定ゲート回路379に導かれる。今、PALアイデント発生用のカウンタ380の Q_{71} 出力381が"1"で、ラッチ371の出力377が"1"であると、 $L_{11}\phi$ 信号169のタイミングでカウンタ380がリセット信号313によりリセットされ、U軸検波とPALアイデントを所定の条件に引きもどす。そしてカウンタ380の Q_{71} 出力にPID信号25が得られる。

(水平カウントダウン回路)

第1図における水平カウントダウン回路32の詳細なブロック図を第17図に示す。水平カウントダウン回路32は4つの大きなブロック461, 462, 463, 464から構成される。連続性および周期性が検出された第6図の周期メモリ回路144の出力 L_4 out 信号149及びタイミング信号147、判定回路151のDCK出力152から到来する水平同期信号の周期を記憶するのが第2の水平周期メモリ回路461である。また、こうして記憶された水平周期データ424を入力として、到来する水平周波数 f_n と ϕ_n の関係を検出し、水平標準モードを示すHMOD信号400を判定するのが水平標準モード検出回路464である。HMOD信号400は第1図に示したようにY-C分離回路38に導かれており、HMOD="1"の時、周知のようにY-C分離回路38はライン相関を利用してY, C両信号の分離を行う(これはコムフィルタとして周知である)。

一方、第6図のラッチパルス発生回路146からの SR_{4Q_1} out 信号147は水平周期メモリタイミング発生回路408に導かれ、この回路408で各種のタイミング信号409, 410, 411が発生される。これらのタイミング信号409, 410, 411は第6図の判定回路151よりのDCK信号152により制御される。減算器401の出力402は差分検出ゲート回路405に入力され、その差分値が検出される。このゲート回路405は差分値の大きさにより、時定数切換回路403及び制御信号発生ゲート回路417に制御信号403-1, 407を供給し、また差分値が零の場合は加算器412にウェーブリング信号406を与える。時定数切換回路403は上記の差分値に従って系の時定数を制御するよう動作する。時定数切換回路403の出力404は、加算器412に導かれる。加算器412の他の入力にはMSB側の11ビットから成る16ビットであり、水平周期値メモリ回路421の出力424と、水平周期補正メモリ回

一方、HMOD="0"の場合はY, C分離をライン相関を用いて行くと、場合によっては分離が非常に難しくなる(1H遅延線上のサンプル点がお互いに面而上ではなれている場合)ため、Y, C分離は周知の水平方向のサンプル点同士を使ったBPFにより行う。このようにHMOD信号400はY-C分離回路38の動作を切換える働きをする。

水平周期メモリ回路461の出力424は水平同期再生回路462に導かれ、この再生回路462によって水平ドライブ信号(f_{HD} out) 34を得る。 f_{HFB} 信号18と到来する H_s 信号139の位相を比較し、所定の位相関係にない場合、水平同期再生回路462に信号458を出力して、位相を引込むための回路が水平位相検出回路463である。

以下、第17図の各ブロック461, 462, 463, 464をさらに詳しく説明する。

(a) 水平周期メモリ回路461

L_4 out 信号149は減算器401に導かれる。

路422の16ビットのうちLSB側5ビットの出力423とからなる信号425である。加算器412の出力16ビットのうちMSB側11ビットは、切換回路415に導かれる。切換回路415の他の入力には標準水平周期発生回路426の出力427が導かれている。水平周期値が所定の条件を満たす値でない場合(例えばPower ON時)、水平周期が異常であることを異常値検出ゲート回路431で検出し、水平周期値プリセット回路433に検出信号432を送る。

水平周期値プリセット回路423は信号432と共にHSD信号280が入力されることによって、制御信号発生ゲート回路417に信号434を供給する。これによりゲート回路417は水平同期値メモリ回路421にプリセットタイミング信号419を供給するとともに、切換回路415に切換信号420を供給し、切換回路415を通してメモリ回路421を信号427で与えられる標準水平周期値にプリセットする。

第18図に水平周期メモリ回路461の具体的回路構成を示す。第18図において、水平周期メモリタイミング発生回路408は6段構成のシフトレジスタ484、ANDゲート485、RSフリップフロップ491から構成されている。第23図には各タイミング信号のタイムチャートを示した。

第23図より理解できるように、ゲート485はDCK信号152が“1”の時、自己リセット信号487を出し、シフトレジスタ484のQ印以降の出力は出ないことになる。即ち、差分検出が±3以上の値であると周期メモリは何の動作も行わず、前の状態を保つことを示している。

減算器401の出力は8ビットが有効ビット接となっており、その8ビット信号474はデータセレクト475のB入力となる。一方、8ビットの信号474のうち、LSB側3ビットの信号473はデータセレクト475のA入力となる。さらに、信号474のMSB側6ビットの

即ち、差分(信号474)が大きいと後述する系の収束を早めるべく時定数を小さくし、差分が小さい場合は系の安定度を確保するために時定数を大きくしている。従って水平周期メモリ回路461の収束は早く、しかも一定の値まで収束すると時定数を大きくするため、水平周期メモリ値が高性能に得られる。

データセレクト475の出力404は加算器412に導かれる。加算器412の他の入力は水平周期値メモリ回路412の11ビット出力424と、5ビットよりなる水平周期補正メモリ回路422の出力514、516とより構成される16ビット信号425である。両入力404、425はLSBをそろえて加算される。

加算器412のウェーブリング入力406(加算器LSBに“1”を加算する)は、差分検出ゲート回路405が零を検出した時ANDゲート483の出力として得られるものである。16ビットからなる加算器412の出力476のうちMSB側11ビット508は、データセ

レクタ475の出力404は11ビット構成となっている。例えば減算器401の出力が+“2”の時、A入力473には“010”が入力されており、ORゲート482の出力478は“1”となる。この時データセレクト475の出力404はMSB側から“0000000010”となる。一方、減算器401の出力が+“8”の時、B入力474には“00000100”が入力されており、ORゲート482の出力478は“0”となる。この時データセレクト475の出力404は“00000100000”となる。

データセレクト475の出力404は11ビット構成となっている。例えば減算器401の出力が+“2”の時、A入力473には“010”が入力されており、ORゲート482の出力478は“1”となる。この時データセレクト475の出力404はMSB側から“0000000010”となる。一方、減算器401の出力が+“8”の時、B入力474には“00000100”が入力されており、ORゲート482の出力478は“0”となる。この時データセレクト475の出力404は“00000100000”となる。

クタ509のB入力に導かれる。これに引続く3ビット507は水平周期補正メモリ回路422内のラッチ513に導かれ、またLSB側2ビットはラッチ515に導かれている。データセレクト475の出力404はMSB側から“0000000010”となる。一方、減算器401の出力が+“8”の時、B入力474には“00000100”が入力されており、ORゲート482の出力478は“0”となる。この時データセレクト475の出力404は“00000100000”となる。

第18図において水平周期値の異常を検出する異常値検出ゲート回路431は予め定められた範囲内に周期値があるか否かを判定するゲート回路で、NTSCでは、周期値が“1024”～“1088”内にあるか否かを6入力ANDゲート517で検出する。PALにおいては“1160”～“1224”内にあるか否かをANDゲート519-1で検出する。周期値424が所定の値にないときNORゲート521の出力522は“1”となり、ORゲート503に導かれる。ORゲート501の他方の入力はHSD信号280である。

シフトレジスタ503の入力502が“1”となると、ANDゲート504の出力505が“1”となり、この出力505はデータセクタ509を制御する。ANDゲート500はこの時 ϕ クロックを499を出力する。このANDゲート500の出力499およびシフトレジスタ484のQ。出力490は、ORゲート497に導かれる。ORゲート497の出力498はラッチ512, 513, 515のクロック入力となる。ゲート504の出力505はまた、ラッチ513をリセットすると共にORゲート495を通してラッチ515をリセットする。

信号477とフリップフロップ491のQ出力492はANDゲート494, ORゲート495を通してラッチ515をリセットする。第24図に水平同期値プリセット回路のタイムチャートを示す。

(b) 水平標準モード検出回路464

第19図に水平標準モード検出回路464の詳細な回路図を示す。第19図において、水平

するためのものである。検出信号550はタイミング信号であるSR12Q。信号493とともにANDゲート551に輸入され、カウンタ555をリセットすると共にRSフリップフロップ558をセットする。また信号550の反転信号は、信号493とともにANDゲート552に輸入され、カウンタ555の入力信号となる。RSフリップフロップ558のリセットはカウンタ555の各入、出力の論理積をとるNANDゲート556の出力557により行われる。図示したように積分回路430は、HMOD=“0”となる入力に対しては水平同期入力連続8個の積分が成立する必要がある、この積分によりHMOD信号400の安定度を向上している。このため結果的にはY-C分離の安定性が確保される。

(c) 水平同期再生回路462

第17図において、水平同期再生回路462は基本的には、水平同期値L₁出力424に従って、水平同期信号を再生する水平同期カウン

標準モード検出ゲート回路428は、水平同期値メモリ回路421の出力424の値を検出し、標準モードと判断すると出力550に“1”を出力する。

第20図にNTSC, PAL各々に対する標準モードを定義した図を示す。今、 $N = \frac{4f_{sc}}{f_H}$ の値を考えると、第20図の560に示すようにNの値が“904”~“916”となる入力に対してHMOD=“1”(標準モード入力を示す)とし、それ以外をHMOD=“0”とする。560は水平同期値メモリ回路421の出力を第18図のラッチ512の出力値で示したものである。すなわち、ラッチ512の出力で見ると“1048”~“1060”がHMOD=“1”の範囲となる。562, 563は同様にPALについて示した。PALの場合、ラッチ512の出力で見ると“1192”~“1208”となる入力に対してHMOD=“1”となる。

第19図においてゲート540, 541, 542がNTSCのHMODを検出するためのものであり、ゲート544, 545, 547はPALのHMODを検出

回路445を動作させ、所定の $f_{H0\ out}$ 信号34を得るものである。

第21図に水平同期再生回路462の具体的な回路構成を示す。水平カウンタプリセット値演算回路435には第18図のラッチ512の出力424と、水平カウンタ制御はエンコーダ回路459の出力460が導かれ、加算器570-1で加算される。エンコーダ回路495の出力460は水平カウンタのカウント数を制御して水平位相を引き込むためのデータであり、H₀信号139と f_{HFB} 信号18の位相が一致しているとオール“0”となる。11ビットからなる加算器570-1出力はラッチ570-2に導かれ、 ϕ 信号に位相同期させられる。ラッチ570-2の出力436は11ビットの比較器571からなる一致検出回路437に導かれる。比較器571の他の入力、水平カウンタ572の出力11ビットである。比較器571の一致出力438はカウンタ572のプリセット端子PTに与えられると同時に、水平ドライブパルス発

生回路439内のシフトレジスタ576に導かれる。シフトレジスタ576の Q_1 出力577はRSフリップフロップ578をセットする。シフトレジスタ576の Q_1 出力441はカウンタ572にプリセットがかかったという情報を示す信号で、水平位相検出回路463に導かれる。

水平カウンタ572は $f_{HD\ out}$ 信号34用のカウンタで、 ϕ_8 をクロック入力とする11段のカウンタにより構成されている。このカウンタ572のプリセットデータはNTSCの場合、カウント値にして“145”となり、PALで“65”であり、これらはプリセットデータ発生回路574より与えられる。このプリセット値は、第7図の水平周期検出カウンタ213のプリセット値より1カウント進んだ値を使用している。そして573のカウント値はANDゲート573を通して T_{HC} 信号447として取出される。

水平ドライブパルス発生回路439内のRSフリップフロップ578のリセット信号はゲ-

5ビット入力32出力のデコーダで構成される。デコーダ590は5ビット入力が“00000”の時、第1のデコード出力587が“1”となる。また、“00001”の時、第2のデコード出力588が“1”。“11111”の時最終デコード出力589が“1”となる。デコーダ590の出力581, 588, ... 589は選択ゲート回路444におけるANDゲート583, 584... 585の一方の入力となる。

f_{HD} 信号440は62個のインバータ列からなるタップ体の水平ドライブパルス遅延回路442に入力されると同時に、ゲート583に導かれる。遅延回路442の62個のインバータ列の総遅延量は ϕ_8 の1周期が望ましく、今 ϕ_8 としてNTSCの場合を仮定すると総遅延量は70 nsecとなり、インバータ1段当りの遅延量は約1 nsec程度になる。遅延回路442からは2つのインバータ毎に582, 586のように出力線が出され、各出力が選択ゲート回路444におけるANDゲート583, 584... 585

ト579, 580, 581により得られる。フリップフロップ578の出力に f_{HD} 信号440が得られる。 f_{HD} 信号440は ϕ_8 クロック単位で制御されたドライブパルスである。

第25図に比較器571の出力445, シフトレジスタ576の Q_1 出力441, f_{HD} 信号440, 及びNTSC, PALにおけるカウンタ572のカウント値を示した。

第26図には一般的な f_{HD} 信号440, f_{HFB} 信号18, T_{HC} 信号447, およびNTSC, PALにおけるカウンタ572のカウント値の概観と位相関係を示した。同図より T_{HC} 信号447の立ち上りタイミングである832カウントは、 f_{HFB} 信号18の1周期のほぼ中間に位置していることが理解できる。

第18図の水平周期補正メモリ回路422の5ビット出力(MSB側3ビット514, LSB側2ビット516)はデコーダ回路448に導かれる。

第21図においてデコーダ回路448, 590は

の一方の入力に与えられる。ANDゲート583, 584, ... 585の計32ビットの出力はORゲート586に導かれ、ORゲート586の出力に $f_{HD\ out}$ 信号34が得られる。

このように、水平周期補正メモリ回路422の出力に従って f_{HD} 信号440を遅延させた出力を選択し、 $f_{HD\ out}$ 信号34を得ている。この結果、 $f_{HD\ out}$ 信号34は ϕ_8 クロック単位よりさらに高精度な分解能が得られることになる。

第29図は、この効果をTV画面上の具体的なパターンに対比させて説明するための図である。第29図(a)は本来画面上に映されるべき縦線を示す。同図(b)は上記水平周期補正を行わないで ϕ_8 単位に $f_{HD\ out}$ 信号34が出力される場合の縦線の表示例を示したものである。 $\phi_8 \approx N \cdot f_H$ (即ち ϕ_8 と f_H の関係が整数倍の関係にない場合、例えばPALの標準信号がそうである)の時、本来表示されるべき縦線(図中破線)29-1は実線で示したように表示され、29-1,

29-2, 29-3の点で示したように ϕ_R 周期の幅のギャを生じる。 ϕ_R 周期はPALで約56nsecであるため、このギャは肉眼で感知されてしまう。このギャを画面上で肉眼の検知眼以下にしなければ高品位テレビジョン受像機としては十分でない。

本実施例では、このギャを十分検知限以下にもって行くため、上述したように第18図における水平同期補正メモリ回路442の出力514, 516により第21図における f_{HD} 信号440の遅延量を制御することにより、水平同期再生の分解能を ϕ_R 単位以下にまで向上させている。この結果、第29図(a)に示すようにギャ成分は同図(b)に示すものより理論的には $1/32$ に減少し、実用上全く問題とはならなくなる。

(d) 水平位相検出回路463

第17図において、水平位相検出回路463は、到来する水平同期信号（実際の信号としてはH₀信号139）と、 f_{HFB} 信号18の位相関係を検出し、検出された位相情報に従って水平

比較パルス発生回路454は到来するH₀信号139に対する f_{HFB} 信号18の各種タイミング信号（比較パルス）を発生する。比較パルスはTP1, TP2...TP6の6種類あり、図示したようにゲート605, 607, 608, 609, 610, 611およびRSフリップフロップ618, 619, 620, 621, 622より作られる。ゲート611の出力612がTP1であり、フリップフロップ619の出力624がTP2、フリップフロップ618の出力623がTP3、フリップフロップ620の出力626がTP4、フリップフロップ622の出力628がTP5、フリップフロップ621の出力627がTP6である。

第27図に位相が引込まれた状態の f_{HFB} 信号18、カウンタプリセットタイミング604（CTR9PT）、H₀信号139、TP1, TP2, TP3, TP5, TP6の各タイムチャートをカウンタ641のカウンタ値とともに示した。第27図中カウンタ（CTR9）641のカウンタ値“104”～“108”は f_{HFB} 信号18のパルス“1”の

同期再生回路462を制御し、結果的にH₀信号139と f_{HFB} 信号18とを所定の位相関係にするべく位相引込みを行うための回路である。この場合、位相の引込みは連続的に、しかも引込み時間は早く行うよう構成されている。

第22図に水平位相検出回路463の具体的回路構成を示す。第22図において f_{HFB} 信号18は f_{HFB} 検出回路450のシフトレジスタ600に導かれ、NANDゲート601でその立ち上りが検出される。 f_{HFB} 信号18の立ち上りが検出されると、その検出信号451により f_{HFB} タイミング発生カウンタ回路463内のRSフリップフロップ603をセットする。フリップフロップ603のQ出力604は8段構成のカウンタ641のプリセット端子に入力される。カウンタ641のプリセット値はNTSCの場合“20”カウント、PALの場合“0”カウントとなっており、以下の比較パルスをNTSC, PAL共用としている。カウンタ641の出力605は比較パルス発生回路454に導かれる。

期間のほぼ中間の値を取ったものであり、この位置にH₀信号139が引込まれることになる。

比較パルスTP1, TP2は図示したように引込み位置の両側に位置するパルスで、水平位相が少しずれていることを検知するパルスである。TP3, TP4は f_{HFB} 信号パルス“1”の中にある図示したような比較パルスで、引込み位置から約クロック ϕ_R で60個程度ずれていることを検知するパルスである。TP5, TP6は例えばTVのチャンネル切換等により f_{HFB} 信号18とH₀信号139の位相が大きくはずれていることを検知するパルスであり、互いにT_{HC}信号（第22図447）のタイミングで切換えられる。

第22図において、比較パルスTP1 612, TP2 624, TP2 625, TP3 623, TP4 626, TP5 622, TP6 627は位相比較回路457に導かれ、H₀信号139との位相比較、検出が行われる。TP3 623, TP4 626, TP5 622, TP6 627は4ビットから成るラッチ629に導かれ

る。ラッチ629のクロックにはH_s信号139が導かれている。

ラッチ629の出力には、例えばTP3が“1”の時H_s信号139が入力される(TP3内にH_sが存在する状態)とPI-8信号594が“1”となる。このように比較パルスTP3, TP4, TP5, TP6内にH_s信号139が到来すると比較パルス入力に従ったラッチ629の出力が“1”となる。各比較パルスに対応するラッチ629の出力をPI-8信号594, PI+8信号593, PI+32信号591, PI-32信号592とする。これらの信号のサフィックス-8, +8, +32, -32は対応するラッチ出力が“1”の時の、第21図の水平同期カウンタ572のカウント値の制御値を示している。例えばPI+32信号591は水平同期カウンタ572のプリセットタインプを32カウント分遅らすことにより位相引込みを行うための信号となる。第22図において、ラッチ629のリセット端子には第21のフリップフロップ576

信号594、PI+8信号593、PI-32信号592、PI+32信号591は水平カウンタ制御エンコーダ回路459に導かれる。このエンコーダ回路459は図示の如く例えばPI+32信号591が“1”の時、+32の値を示す“0100000”を出力し、PI-32信号592が“1”の時、出力460に-32の値を示す“1100000”を出力する。そしてエンコーダ459の出力460は、水平カウンタプリセット値演算回路435内の加算器570に導かれる。

(垂直カウントダウン回路)

第1図における垂直カウントダウン回路36は第28図に示したように、垂直再生回路36-1とH_s信号139が検出されているか否かを判定する同期確立判定回路36-2とより構成される。垂直再生回路36-1については、公知文献：特開昭55-159673号公報「垂直同期回路」において基本的な回路例が詳細に述べられているので参照されたい。本発明の実施例における垂直再生回路36-1は上記公知文献の一部

からのSR13Q₁信号441が入力されており、水平同期カウンタ572にプリセットがかかる毎にラッチ629はクリアされる。所望の位相に近い比較パルスTP1612, TP2624は引込みの安定度を確保するため、TP3, TP4, TP5, TP6の場合とは別に取り扱われる。TP1パルス612はH_s信号139とともにANDゲート630に人力され、ゲート630の出力は2段構成のカウント632に導かれる。カウンタ632のリセット端子R*にはTP1・H_sの論理出力が導かれている。ゲート633を通してフリップフロップ634をセットし、SR13Q₁信号440でリセットすると、PI-2信号596が得られる。即ち、H_s信号139がTP1信号612の中に連続して4回存在すると、制御信号PI-2が得られる。TP2信号624についても全く同様に、フリップフロップ639の出力からPI+2信号595が得られる。

第21図において位相比較回路457の出力PI-2信号596、PI+2信号595、PI-8

を変更すればよい。この変更部分につき述べると、第28図におけるカウンタ651, 13, 653は上記公知文献の第4図中の10, 12に相当する各々2段構成のカウントである。本実施例においてはQ86信号650をカウンタ651の入力クロックとし、カウンタ651のQ₃出力652をカウンタ653の入力とし、カウンタ653から2・f_Hの信号を得る。また、カウンタ651のリセット入力SR13Q₁信号441となり、カウンタ653のリセット入力SR13Q₁信号+Reset1(上記公知文献の第4図参照)となる。また、上記公知文献におけるCSの代りにCSV信号126を使用すればよい。第28図のf_{vd out}信号37は垂直ドライブ信号である。f_{vd out}信号37は、カウンタ660に導かれる。カウンタ660のリセット入力H_s信号139となっている。RSフリップフロップ663は同期確立の判定状態を記憶するもので、H_s信号662でセットされ、NANDゲート661の出力でリセットされる。即ち、f_{vd out}

信号1周期のうちにH_s信号139が1個以上出力されると、同期が確立していると判定され、フリップフロップ663のQ出力が“1”となる。このQ出力はシフトレジスタ665でφ_s信号に同期され、シフトレジスタ665の出力からHSD信号280が得られる。即ち、同期が確立しているとHSD=“1”となる。実際には、フリップフロップ663のQ出力は図示したようにRS18Q + f_{vd out}・Q141のようにORを取られ、信号664としてシフトレジスタ665に導かれる。信号664はH_sDの2垂直期間に1回の割合で前記クランプ回路19を初期状態とするための信号となる。

4. 図面の簡単な説明

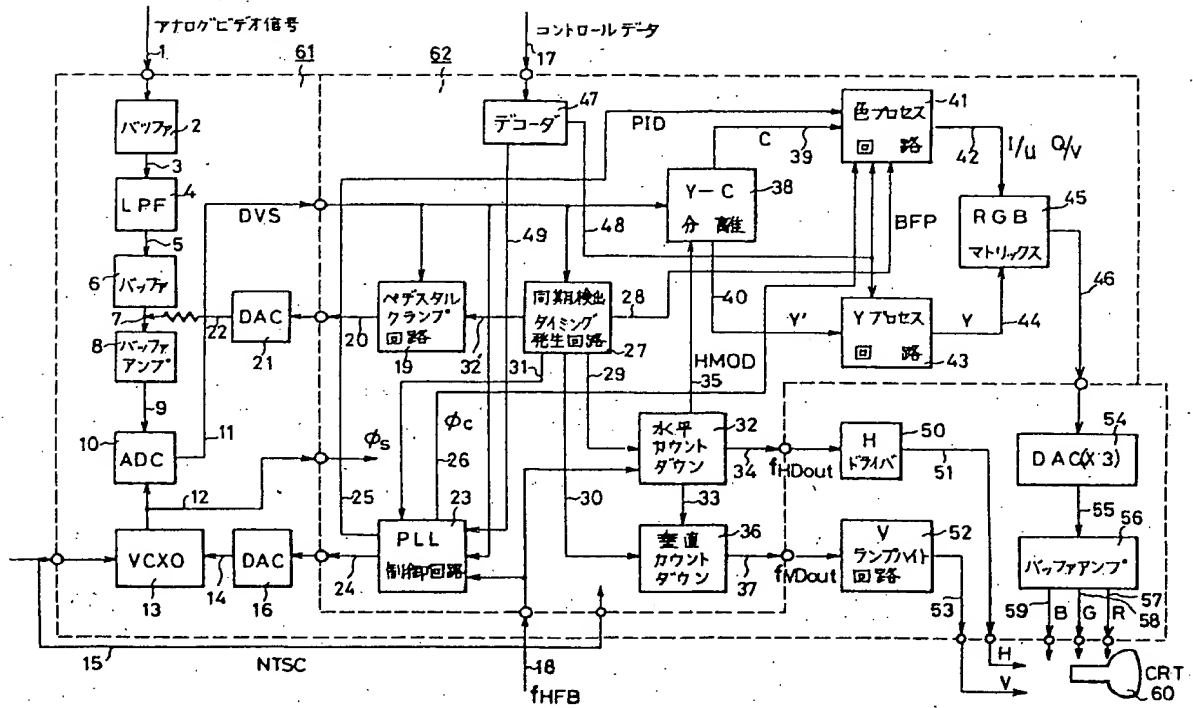
図は本発明の一実施例を説明するためのもので、第1図はデジタルTV受像機の要部のブロック図、第2図は同実施例中に示す回路の表記方法を説明するための図、第3図および第4図は同実施例の動作を説明するためのADCのダイナミックレンジおよびビデオ信号波形図、第5

図はPLL回路の原理を説明するためのバースト波形図、第6図は同期検出・タイミング発生回路のブロック図、第7図は同期分離回路および水平同期幅検出回路の具体的回路図、第8図～第10図は第7図の動作を示すタイムチャート、第11図はバーストフラッグ・PLL・クランプ用タイミング発生回路の具体的回路図、第12図は第11図の動作を示すタイムチャート、第13図はデジタルクランプ回路の具体的回路図、第14図はPLL制御回路のブロック図、第15図はPLL制御回路の具体的回路図、第16図は第15図の動作を示すタイムチャート、第17図は水平カウンタダウン回路のブロック図、第18図は水平周期メモリ回路の具体的回路図、第19図は水平標準モード検出回路の具体的回路図、第20図は第19図の動作を説明するための図、第21図は水平同期再生回路の具体的回路図、第22図は水平位相検出回路の具体的回路図、第23図および第24図は第18図の動作を示すタイムチャート、第25図および第

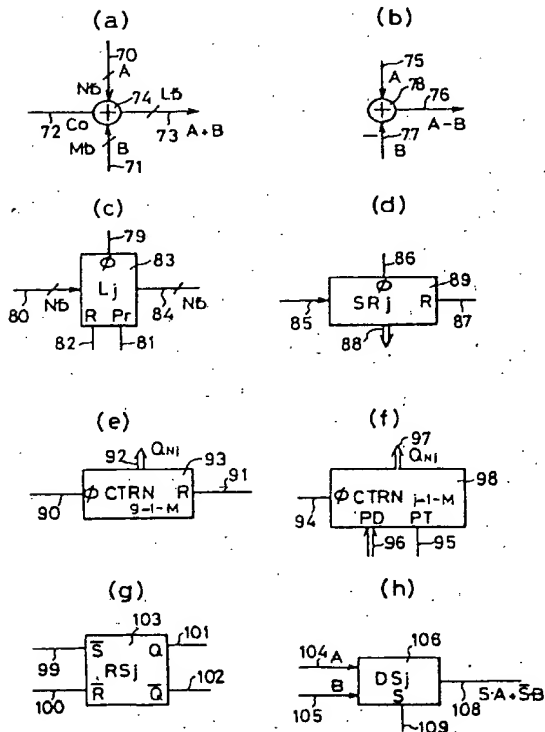
26図は第21図の動作を示すタイムチャート、第27図は第22図の動作を示すタイムチャート、第28図は垂直カウンタダウン回路の回路図、第29図は第21図の動作を説明するための図である。

11(DVS) … デジタルビデオ信号、18(f_{HFB}) … 水平フライバック信号、27 … 同期検出・タイミング発生回路、32 … 水平カウンタダウン回路、34(f_{HDO out}) … 水平ドライブ信号、139(H_s) … 水平同期検出信号、144 … 第1の水平周期メモリ回路、151 … 判定回路、152(DCK) … 判定信号、161 … 第2の水平周期メモリ回路、162 … 水平位相検出回路、162 … 水平同期再生回路。

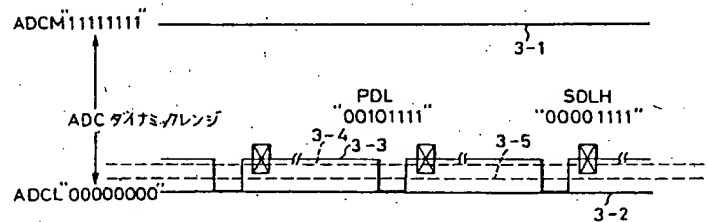
第 1 図



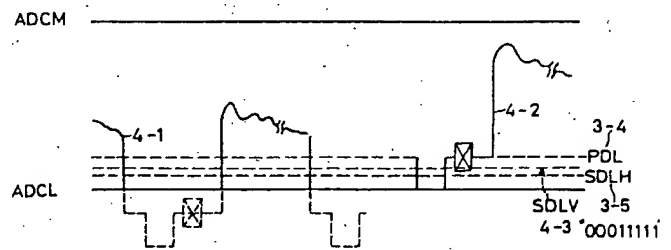
第 2 図



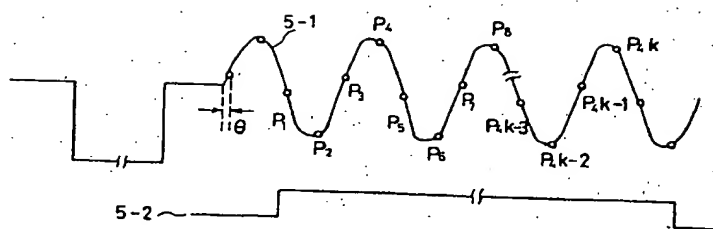
第 3 図



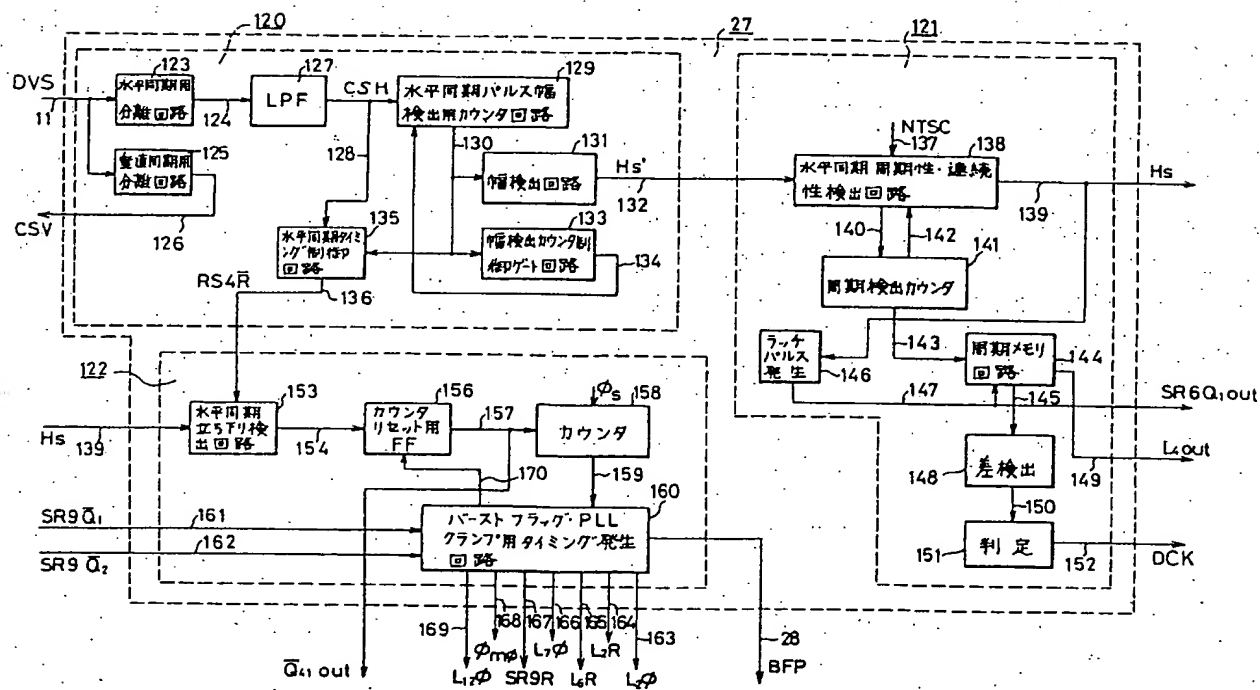
第 4 図



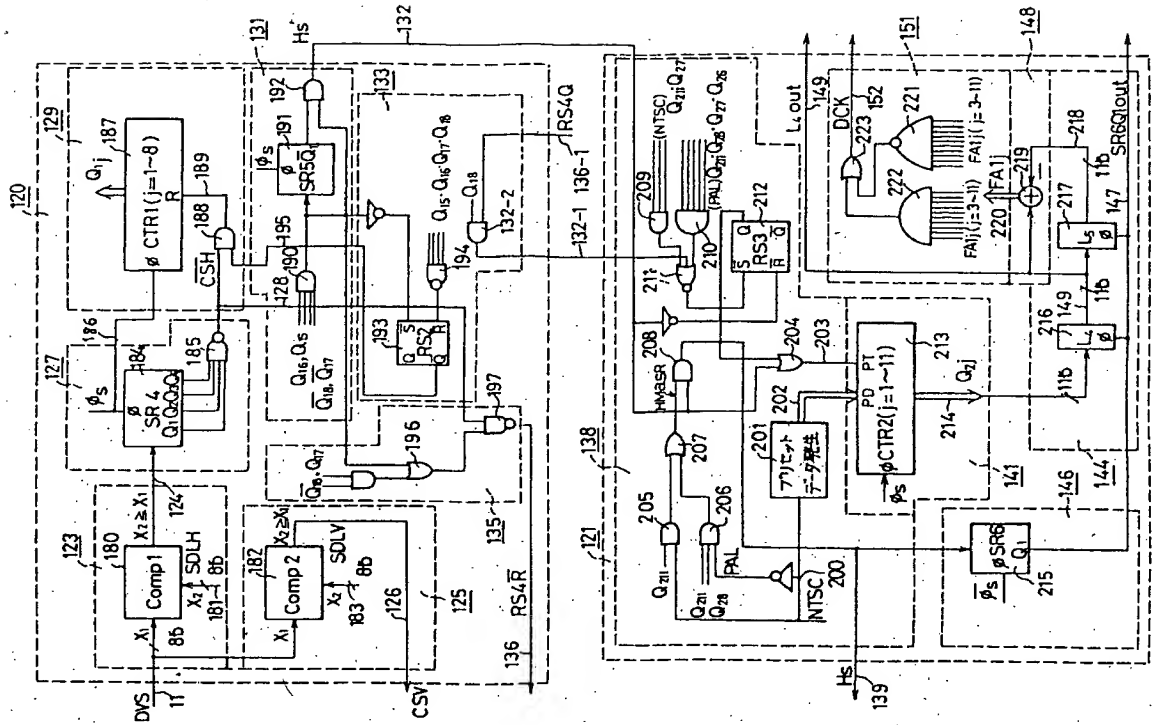
第 5 圖



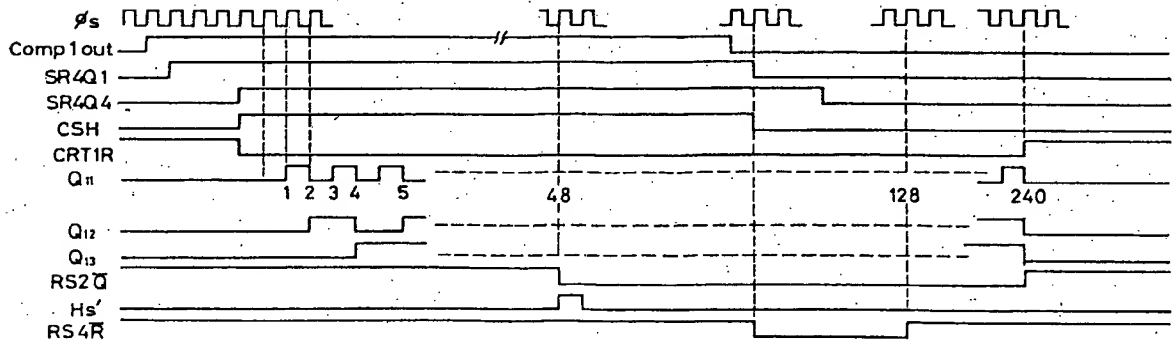
第 6 圖



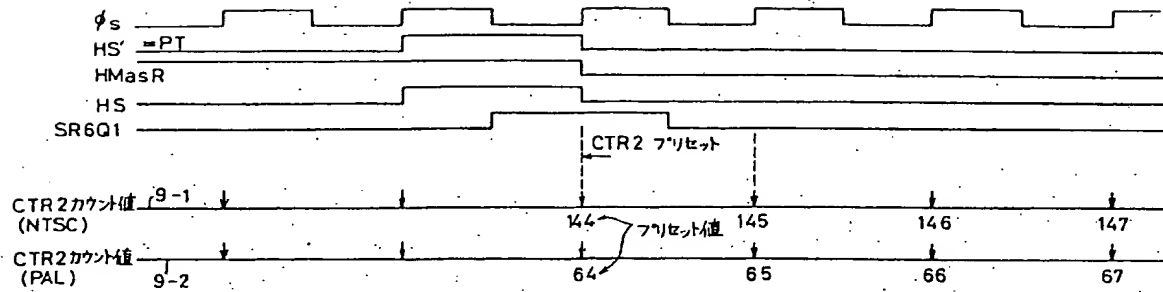
第 7 図



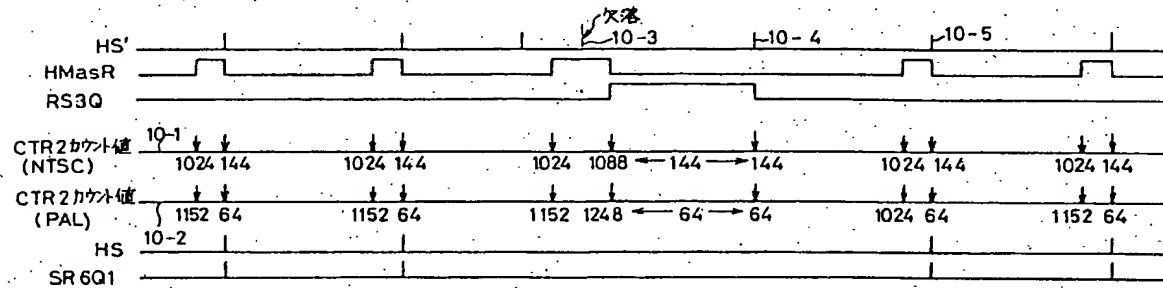
第 8 図



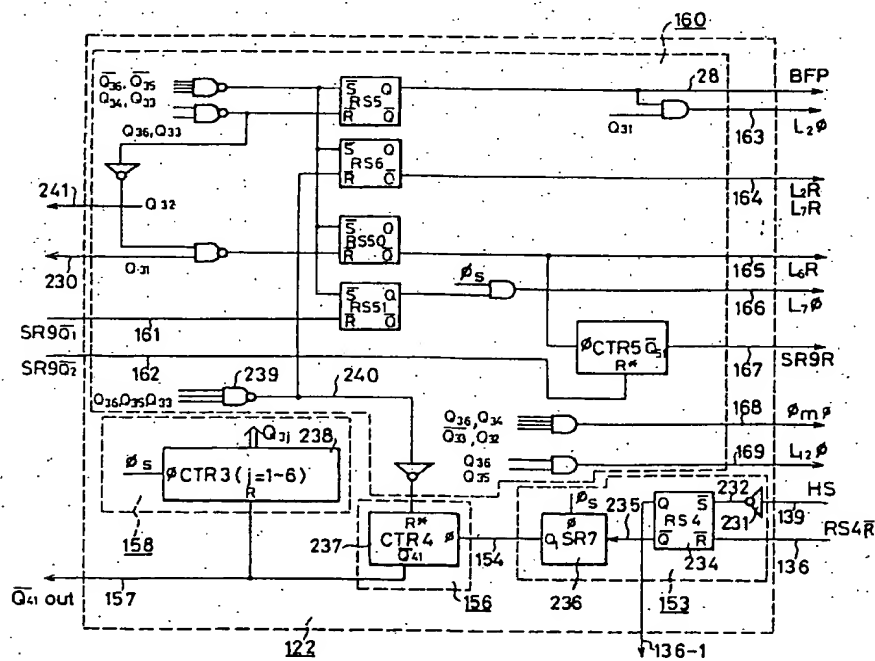
第 9 図



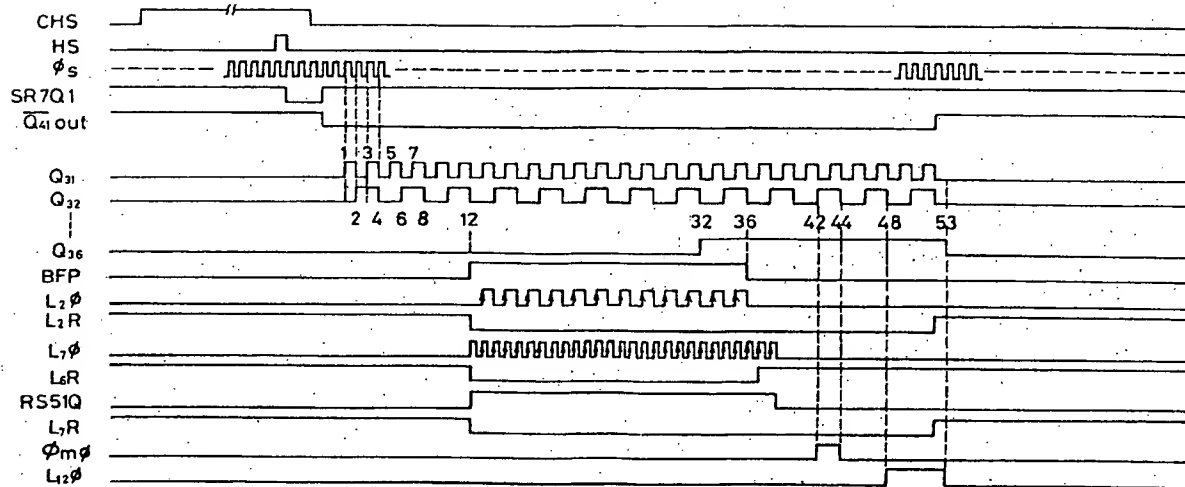
第 10 図



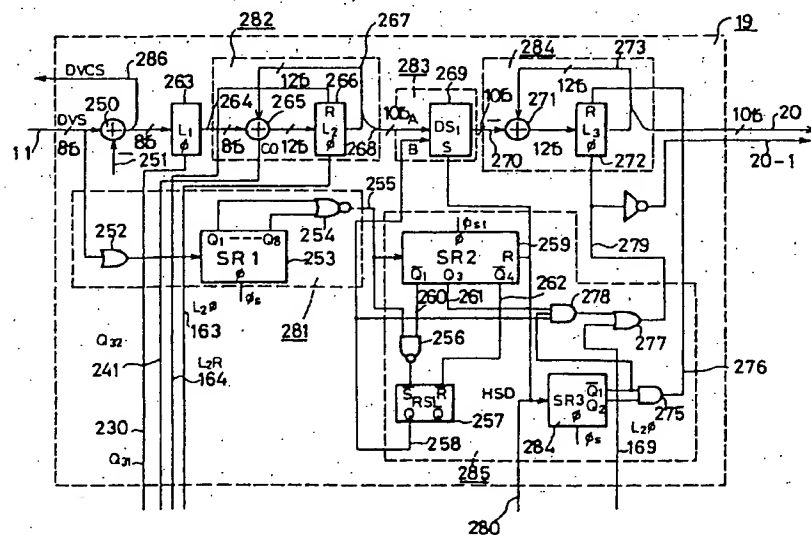
第 11 図



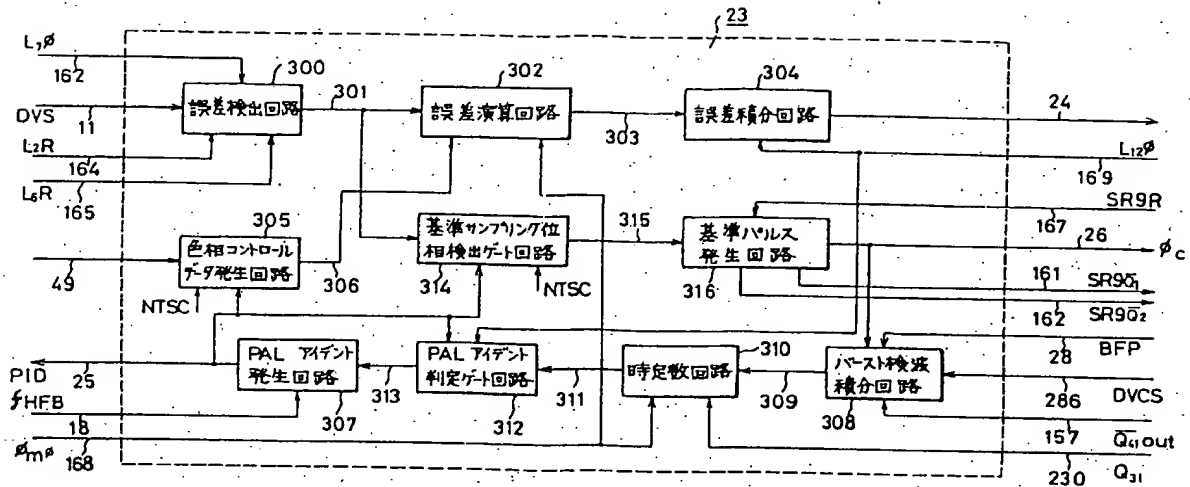
第 12 図



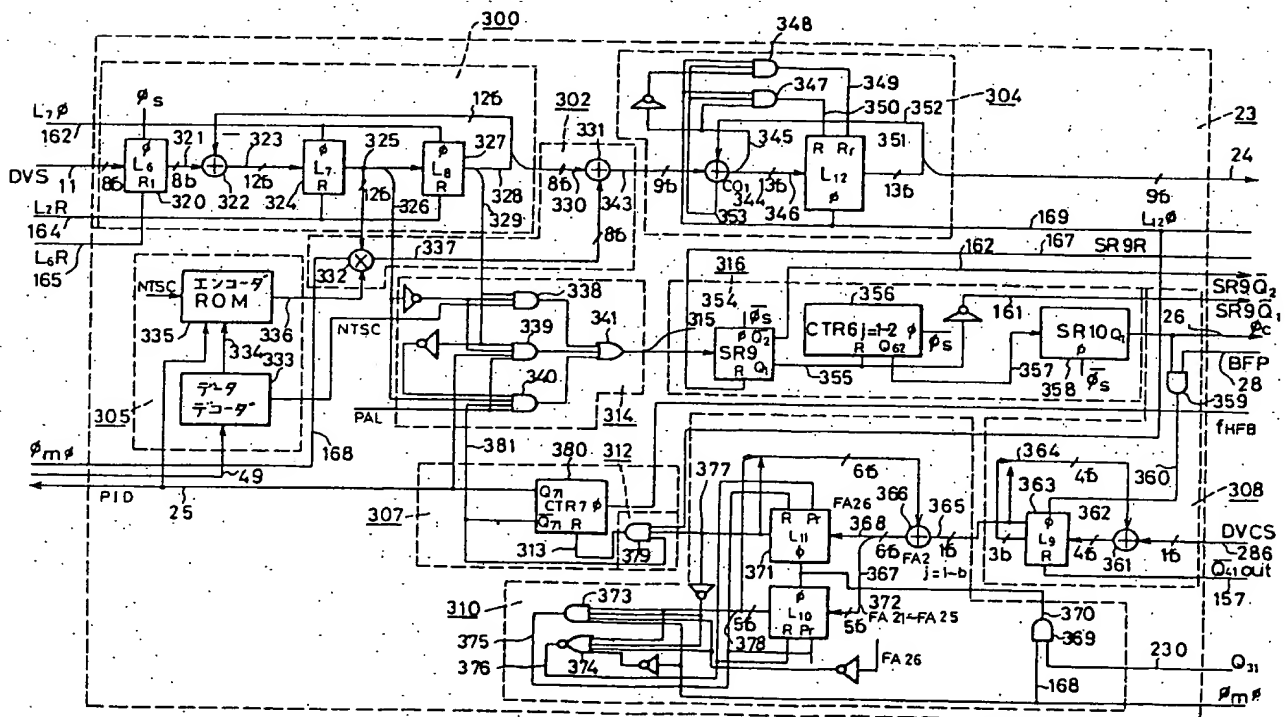
第 13 圖



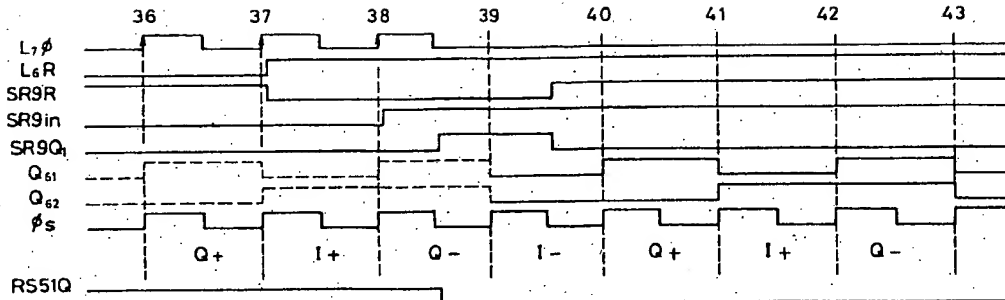
第 14 図



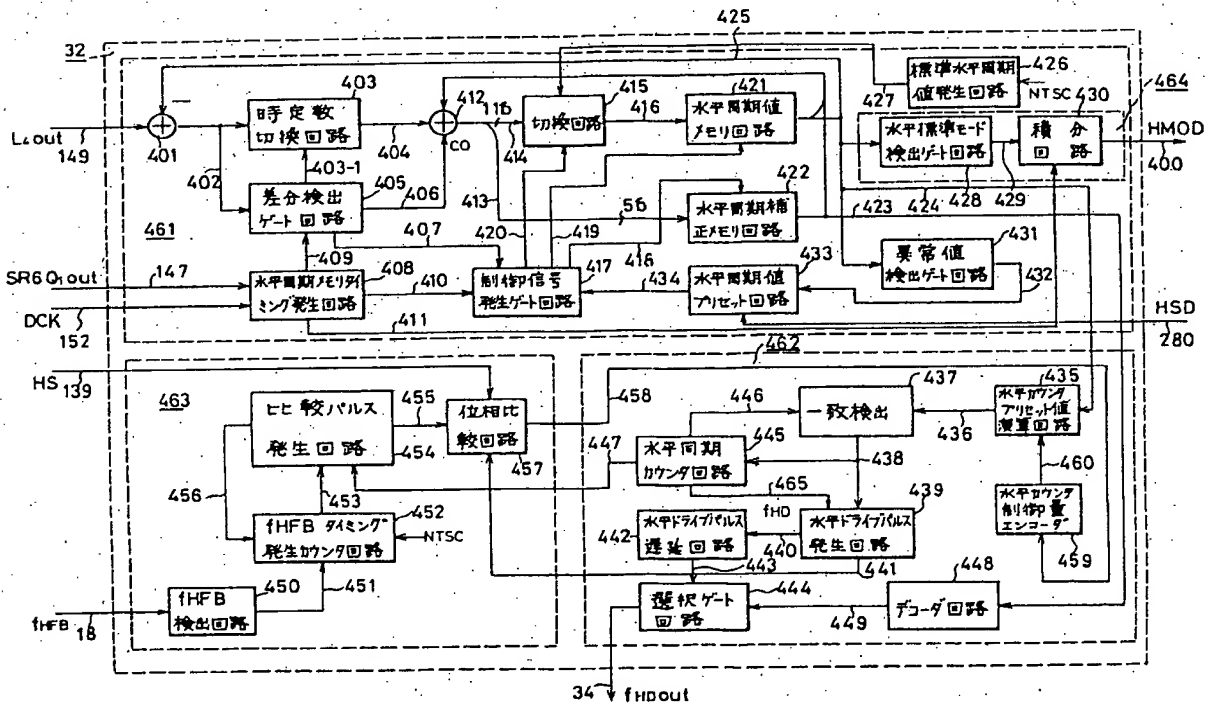
第 15 図



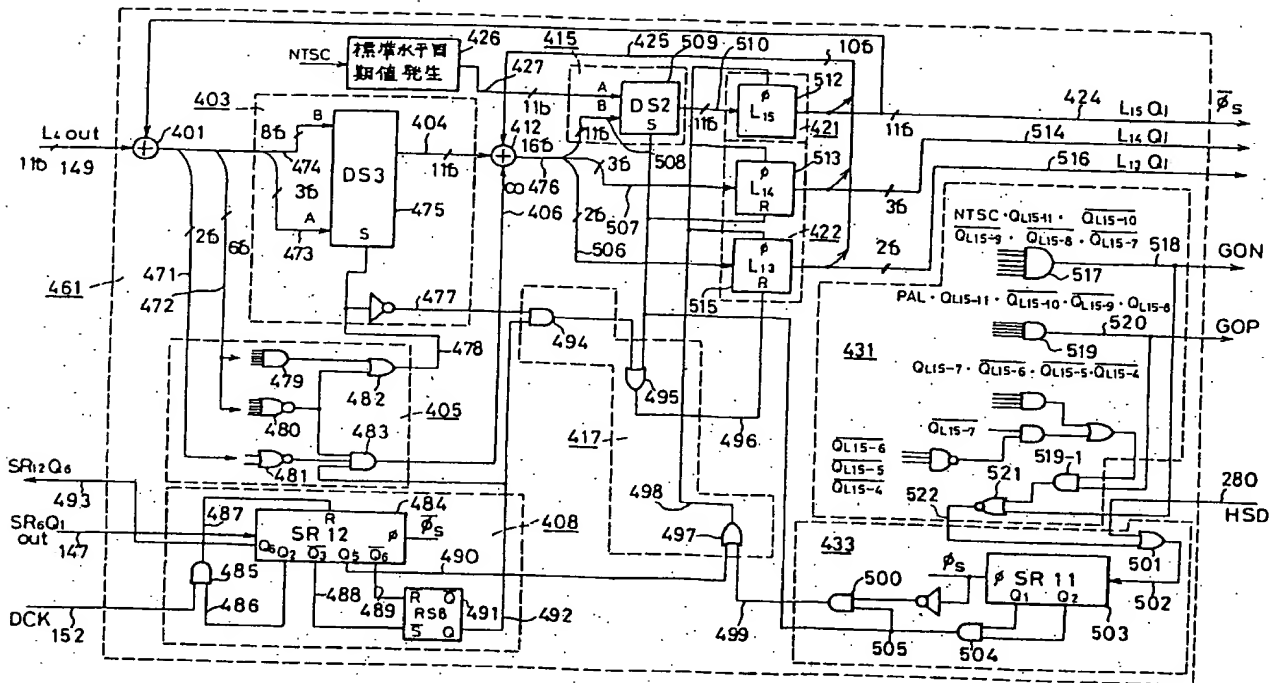
第 16 図



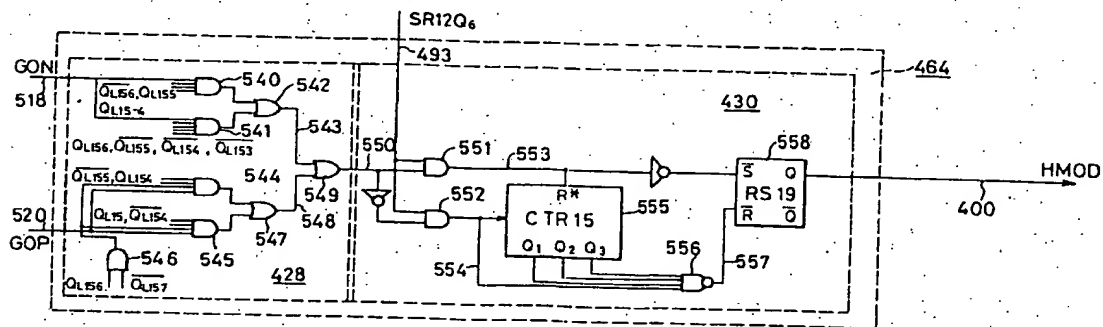
第 17 図



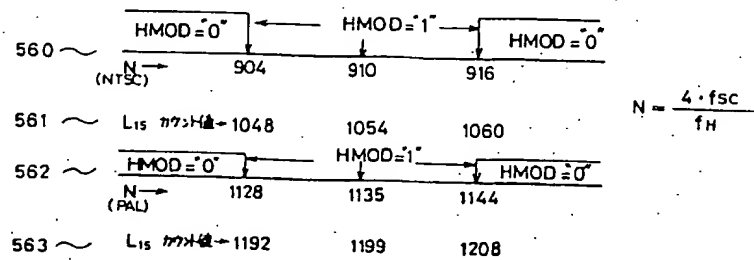
第 18 図



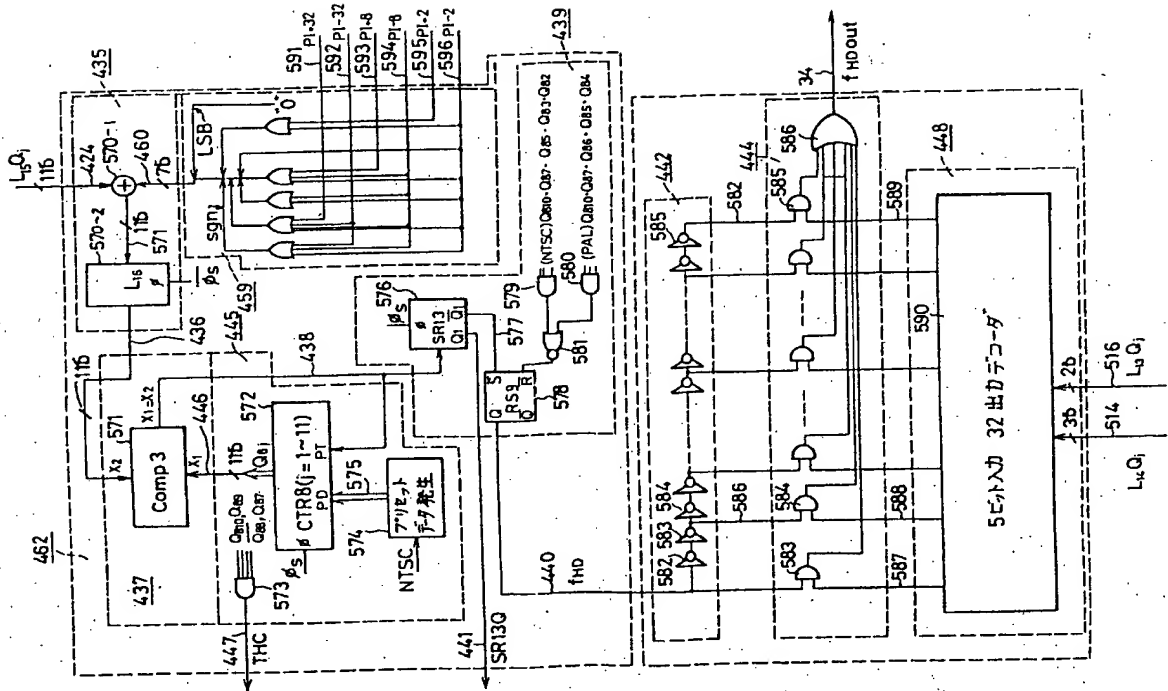
第 19 図



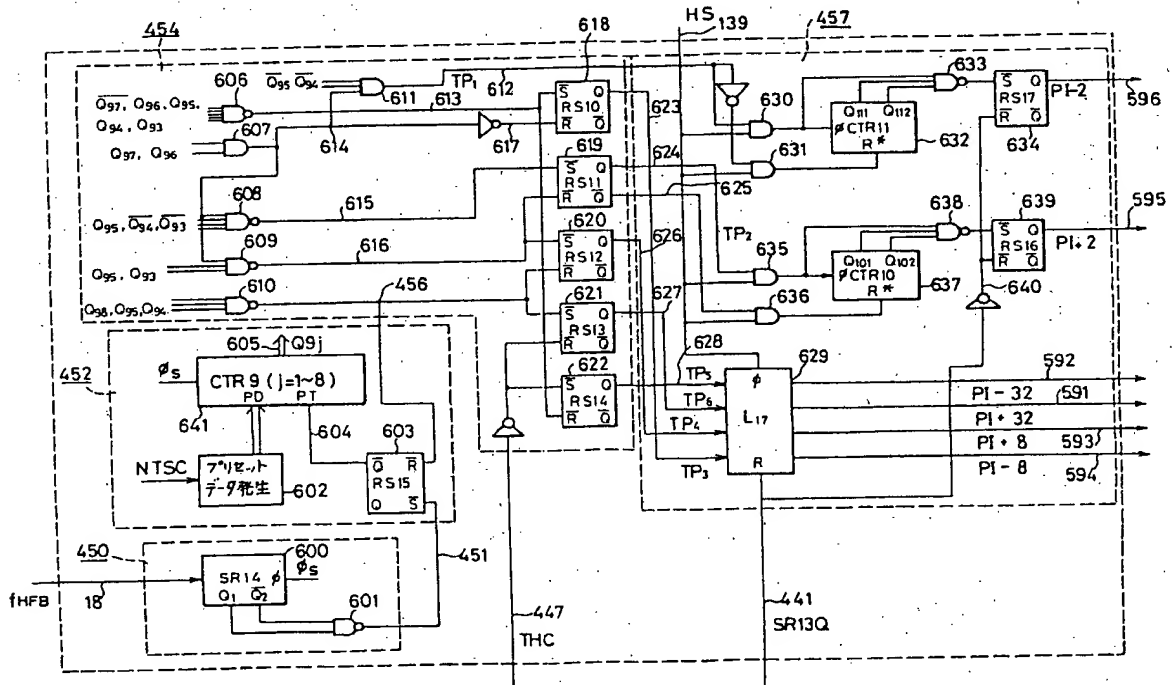
第 20 図



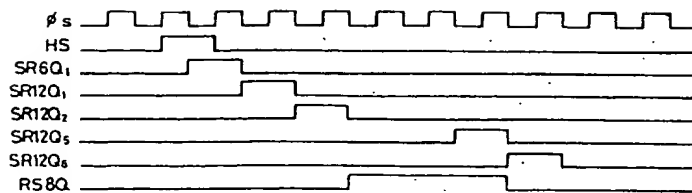
第 21 図



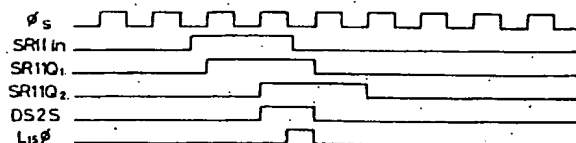
第 22 図



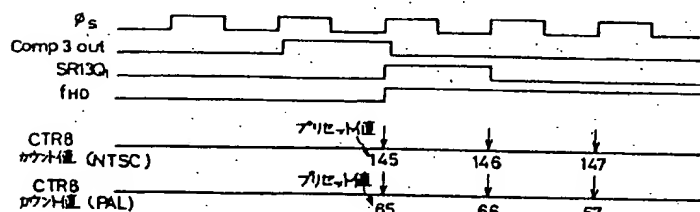
第 23 図



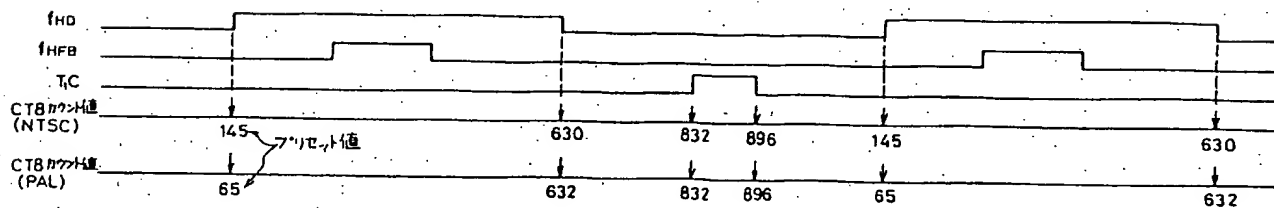
第 24 図



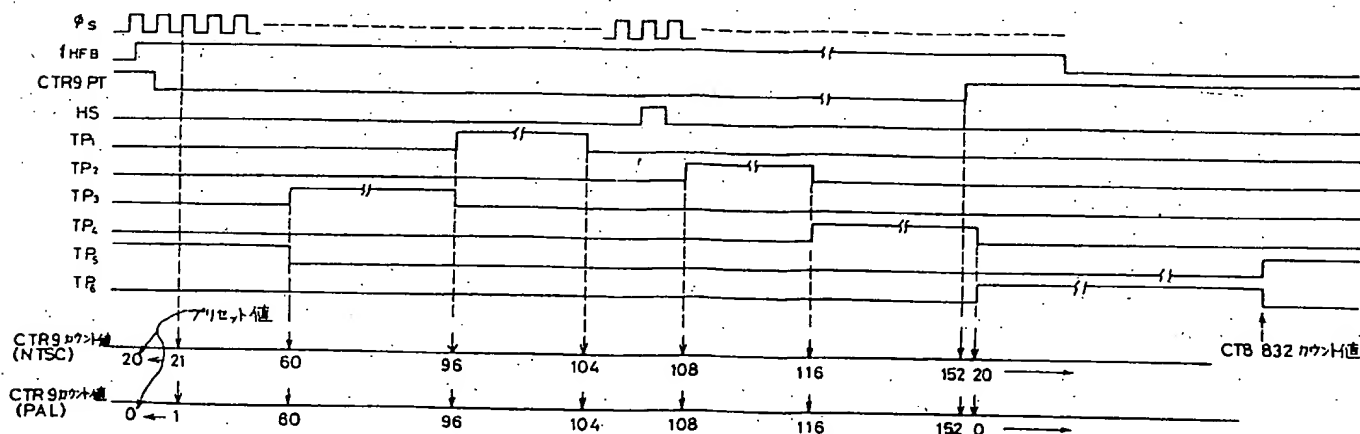
第 25 図



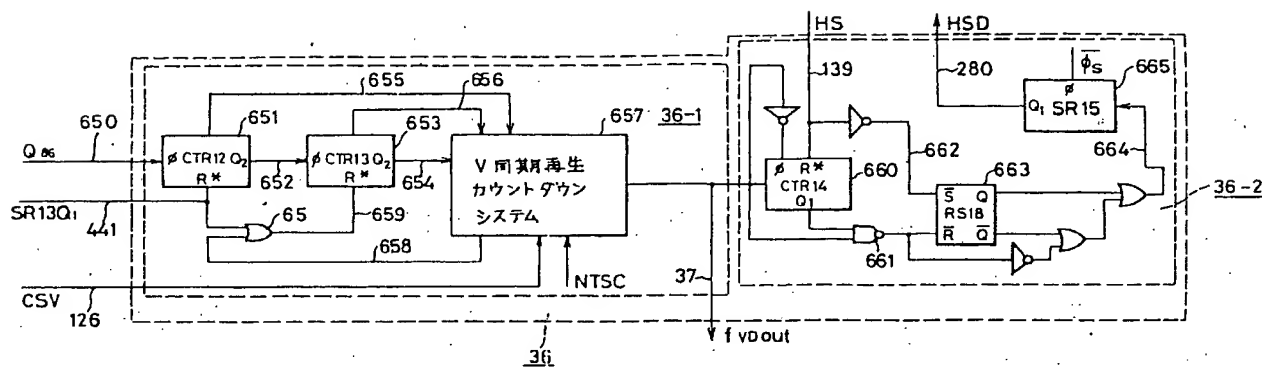
第 26 図



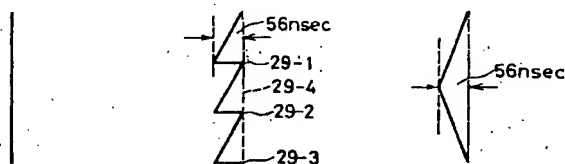
第 27 図



第 28 図



第 29 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)